

DISEÑO DE CIRCUITOS INTEGRADOS I

RESULTADOS ESPERADOS DE APRENDIZAJE

Para superar esta asignatura el estudiante deberá demostrar, si se le requiere, que es capaz de:

Capítulo 1

Dibujar un transistor MOS de dimensiones dadas, tanto a nivel de layers como a nivel de su estructura tridimensional.

Explicar las tres regiones de funcionamiento de los transistores NMOS y PMOS, y los niveles de tensión que delimitan dichas regiones

Explicar de qué parámetros depende la tensión umbral de un transistor.

Explicar de qué parámetros depende la I_D de un transistor funcionando en su zona de conducción.

Explicar de qué parámetros depende el tiempo de respuesta de un transistor.

Explicar de qué parámetros depende el tiempo de respuesta de un inversor, y saber dimensionar éste para unas especificaciones concretas

Dibujar y explicar la curva de transferencia de un inversor. Saber explicar sobre ella qué son los márgenes de ruido de un inversor.

Calcular el consumo de potencia estática y dinámica de un inversor. Enumerar los parámetros de los que dependen ambos consumos.

Capítulo 2

Explicar la diferencia entre conductores, aislantes y semiconductores.

Explicar en qué consiste el dopado de semiconductores y para qué es necesario. Explicar la diferencia entre un semiconductor intrínseco, un semiconductor dopado-P y un semiconductor dopado-N.

Explicar en qué consiste el efecto *body* (efecto substrato).

Explicar en qué consiste el efecto de *latch-up*.

Explicar en qué consiste la electromigración.

Explicar qué son las salas blancas

Explicar qué son los procesos de oxidación, deposición, grabado, difusión e implantación

Explicar en qué consiste la fotolitografía

Describir los pasos básicos de un proceso CMOS

Dibujar un circuito sencillo (menos de 10 transistores) a nivel de layers, siguiendo las reglas de diseño simplificadas dadas en la asignatura y respetando unos tamaños concretos de los transistores (en caso de pedir un dibujo de este estilo en el examen se os proporcionaría una hoja con las reglas de diseño)

Dibujar cómo se vería un corte en profundidad de un layout concreto.

Capítulo 3

Explicar en qué consiste la lógica CMOS complementaria, la lógica pseudo-NMOS y las lógicas dinámicas, citando en cada caso sus ventajas y desventajas.

Explicar la diferencia entre las lógicas regenerativas y la lógica no-regenerativa.

Dibujar a nivel de transistores cualquier tipo de puerta lógica convencional. Ser capaz de implementar a nivel transistor cualquier función booleana con una única puerta.

Analizar el consumo dinámico y el consumo estático de una puerta CMOS-complementaria y de una puerta pseudo-NMOS.

Explicar las diferencias entre un latch y un flip flop, tanto a nivel de funcionamiento como a nivel de layout.

Explicar en qué consiste la metaestabilidad; cuando puede suceder, los problemas que causa y su solución.

Capítulo 4

Enumerar los costes asociados a cada fase del diseño y fabricación de un ASIC.

Explicar sobre qué parámetros se puede incidir para reducir costes y minimizar riesgos, y a qué estilos de diseño particulares lleva cada una de tales opciones.

Explicar cuáles son y en qué consisten cada uno de los estilos de diseño “clásicos”, incluidas las FPGAs.

Analizar y decidir cuál es el estilo de diseño más adecuado a cada problema, justificando la decisión en función de los costes, riesgos y requerimientos de “time-to-market”.

Estimar el coste de un circuito dado.

Capítulo 5

Explicar las diferentes fases del flujo de diseño de un ASIC, incluyen la definición de especificaciones y análisis de viabilidad, el diseño electrónico del ASIC, la selección del encapsulado, la definición de la estrategia de test y el test de prototipos y serie.

Explicar qué son los prototipos y la serie.

Capítulo 6

Explicar qué son las librerías de celdas y lo que éstas representan desde el punto de vista del diseñador de ASICs.

Calcular tiempos de respuesta (peor caso, mejor caso, etc) utilizando data-sheets, en condiciones concretas.

Calcular consumo y número de transistores utilizando las data-sheets.

Explicar qué son las condiciones industriales y las condiciones militares.

Enumerar y explicar los tipos de pads existentes, su consumo y cómo se disponen en el layout.

Calcular el número de pads de alimentación y tierra necesarios en un circuito.

Explicar qué son las IPs.

Explicar el objetivo de las herramientas de diseño de circuitos integrados que se han utilizado en las prácticas de laboratorio.

Asociar las herramientas de diseño a las fases del flujo de diseño en las que se utilizan.

Capítulo 7

Explicar la necesidad del clock-buffering y qué condiciones debe cumplir éste para ser efectivo.

Explicar los problemas que introducen los glitches y la forma de controlarlos.

Explicar el problema de la metaestabilidad y la forma de controlarla.

Explicar los problemas que introducen los buses cuando permanecen en alta impedancia, y la forma de controlarlos.

Dado un circuito, identificar aquellas prácticas de diseño susceptibles de poner en riesgo su correcto funcionamiento.

Capítulo 8

Explicar las funciones que cumple el encapsulado.

Seleccionar razonadamente el encapsulado (tanto plástico como cerámico) que mejor se adapta a un ASIC, teniendo en cuenta su uso y el coste del encapsulado.

Explicar las diferencias entre los encapsulados superficiales y de inserción.

Distinguir entre un encapsulado “dual-in line”, “chip-carrier” y “pin(o ball)- grid-array”.

Explicar qué son las reglas de encapsulado y en qué casos es necesario tenerlas en cuenta. Ser capaz de explicar al menos dos reglas de encapsulado.

Capítulo 9

Explicar las diferentes comprobaciones que se pasan al ASIC en las distintas fases de diseño, fabricación, prototipos y serie; quién las lleva a cabo y quién define los vectores de test a pasar.

Argumentar porqué es necesario pasar el test a un circuito.

Explicar qué es una máquina de test (o ATE) y su funcionamiento.

Explicar que es una “pareja driver-comparador” y cómo se conectan al ASIC bajo test.

Definir los valores que habrá que cargar en los shift-registers de las parejas driver-comparador para pasar un conjunto de vectores de test concretos.

Explicar las diferencias entre el test funcional y el test estructural.

Explicar qué es un modelo de test.

Conocer y ser capaces de escribir las definiciones de los conceptos básicos ligados al test estructural (fallo, vector de test, fallo detectable, fallo indetectable, conjunto de fallos, fallos equivalentes, fallos dominantes, cobertura de fallos, etc.)

Explicar en qué consiste el modelo de stuck-at, y sus ventajas o desventajas respecto a otros modelos de fallos.

Minimizar el conjunto de fallos de un circuito mediante equivalencias y dominancias.

Utilizar el método de sensibilización de caminos para generar vectores de test que detecten un fallo concreto.

Explicar qué son los simuladores de fallos y sus diferentes utilidades.

Capítulo 10

Explicar en qué consiste el diseño para la testabilidad.

Explicar qué son las reglas de diseño para la testabilidad y ser capaz de mencionar al menos dos de ellas.

Distinguir entre testabilidad, observabilidad y controlabilidad de un circuito.

Explicar qué son las técnicas de scan-path, su objetivo, sus ventajas y sus desventajas.

Explicar la metodología de test cuando se está utilizando una técnica de scan-path.

Dado un circuito, ser capaz de rediseñarlo formando uno o varios scan-paths.

Dado un circuito con uno o varios scan-paths y un conjunto de vectores de test, calcular el número de ciclos de test que serán necesarios para pasarlos.

Explicar qué son las técnicas de BIST, su objetivo, sus ventajas y sus desventajas.

Explicar el concepto de compresión del test utilizado en las técnicas BIST.

Explicar el concepto de signatura utilizado en el BIST.

Explicar qué es un BILBO y su uso.

Bellaterra, 21-12-2009