

1. Construye una puerta lógica (esquemático) que genere la función siguiente, utilizando lógica CMOS-complementaria (la que utilice menos transistores), lógica pseudo-NMOS y lógica dinámica.

$$f(a,b,c,d) = \bar{a} \cdot b + a \cdot (\bar{b} + \bar{c})$$

2. Considerando dimensiones mínimas, implementa en full custom (polígonos) el plano NMOS de la función lógica del ejercicio anterior.
3. Respecto a la hoja de especificaciones de la página 4,
 - a. Explica qué significan los parámetros “fanin”, “fanout”, “tphl” y “dtphl” (y las columnas “Min”, “Typ” y “Max” en estos dos últimos), y
 - b. Explica cómo se utilizan para calcular el tiempo de respuesta de una puerta lógica. Puedes ayudarte de un ejemplo.

4. Se ha de construir una placa de control conteniendo (1) un conversor analógico-digital que, comprado en el mercado, tiene un coste de 3€/unidad; (2) una unidad de proceso que puede implementarse de diferentes maneras y (3) una memoria RAM de 256 palabras de 8 bits, cuyo precio es de 0,25 €/unidad. Se prevé una producción de 60.000 unidades..
Dada la relativamente baja producción esperada, se ha desechado directamente la opción full custom.

Las alternativas que se desean estudiar son:

- 1) Utilizar un microprocesador como unidad de proceso que cuesta 5 €/unidad.
- 2) Utilizar una FPGA para implementar la unidad de proceso y la memoria. Analizadas las distintas alternativas se ha encontrado una FPGA que podría salir por 10 €/unidad.
- 3) Utilizar estándar-cells (SC) para implementar la unidad de proceso y la memoria, o sólo la unidad de proceso si resulta más ventajoso.

Si con la SC se implementa tanto la unidad de proceso como la memoria, el área del *core* se estima en 64 mm^2 , y se necesitan 2 pads de alimentación 2 pads de tierra, 4 pads de entrada, 5 pads de salida y 1 pad bidireccional (los pads de alimentación y de entrada miden $150 \times 500 \text{ } \mu\text{m}^2$; los pads de salida miden $200 \times 500 \text{ } \mu\text{m}^2$, y el pad bidireccional mide $300 \times 500 \text{ } \mu\text{m}^2$. El *mínimum pitch* es menor de $150 \text{ } \mu\text{m}$ por lo que no hace falta tenerlo en cuenta).

....

Si, por el contrario, la SC incluya sólo la unidad de proceso el área estimada del *core* se reduce a 25 mm², pero a los pads anteriores hemos de añadirles 8 pads de salida para el bus de direcciones y 8 pads bidireccionales para el bus de datos.

El Scribe line es de 500 μm.

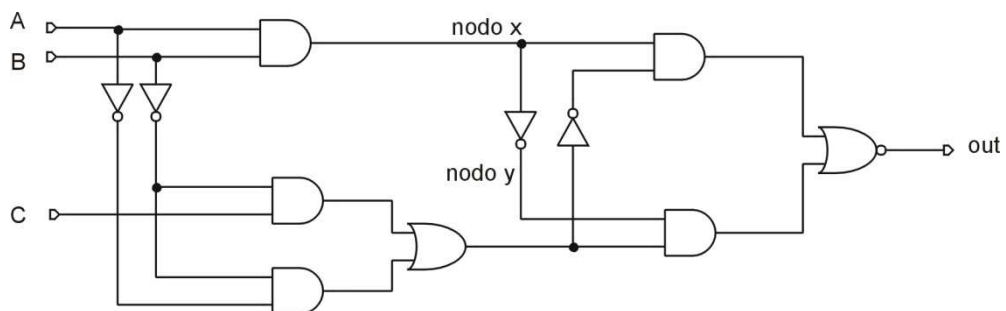
COSTES DE FABRICACIÓN DE LA SC

- 1) Costes no-recurrente: 150€/mm².
- 2) Costes recurrentes:
 - 2.a) Silicio:
 - 0,045€/mm².unidad si n^o_unidades ≤ 100.000
 - 0,050€/mm².unidad si 100.000 < n^o_unidades ≤ 500.000
 - 0,053€/mm².unidad si 100.000 < n^o_unidades ≤ 500.000
 - 2.b) Encapsulado:
 - DIL-16 : 0,25€/unidad
 - DIL-32 : 0,50€/unidad

Justifica razonadamente cuál de estas alternativas te parece más adecuada, teniendo en cuenta no sólo el coste total de fabricación sino también otros factores que te parezcan relevantes.

5. Test de circuitos integrados digitales:

- a. Explica el método de sensibilización de caminos.
- b. Utilizando el método anterior, genera todos los vectores de test que detectan el fallo “nodo X bloqueado a 0”. Explica cómo lo haces (no basta con escribir los vectores).



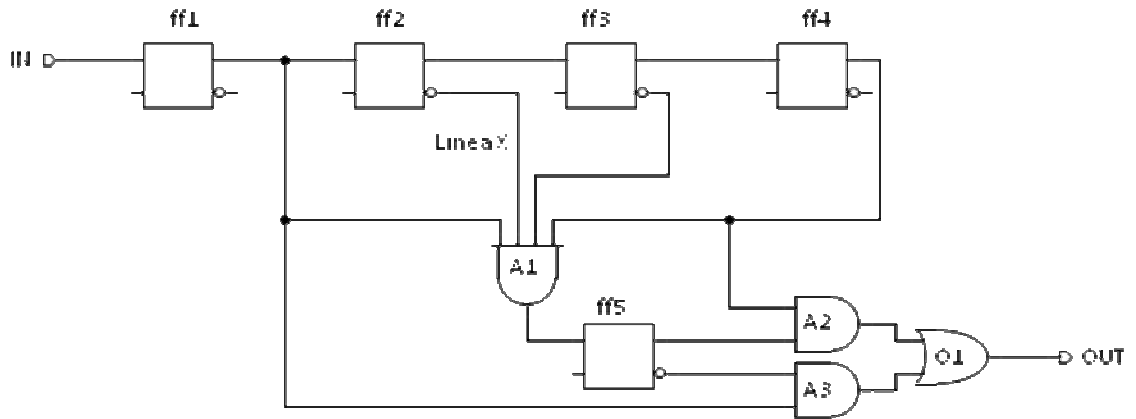
6. Respecto al circuito de la figura:

- a. Modifica el circuito de la figura siguiente para aplicarle la técnica del scan-path.
- b. Dibuja la parte combinacional, marcando claramente qué E/S son primarias y cuáles no lo son.

....

- c. Genera un vector de test para la parte combinacional que detecte el fallo "línea-X bloqueada a 0".
- d. Escribe la secuencia de vectores que debe aplicar la ATE al circuito para detectar el fallo anterior.

(nota: en el circuito de la figura todas las entradas CP de los flip-flops reciben una señal de reloj correcta, aunque no se ha dibujado para simplificar el esquema)



NA2

2-input NAND

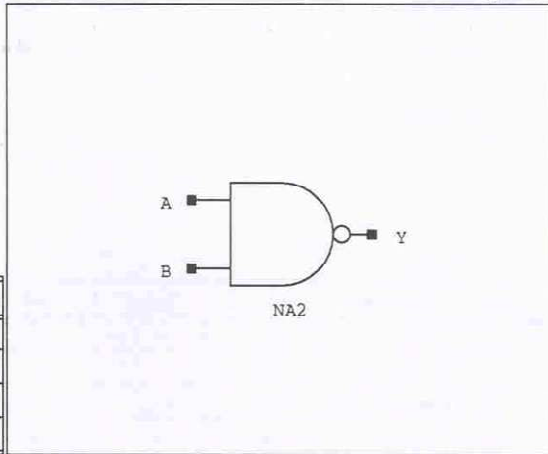
Truth Table

A	B	Y
0	X	1
X	0	1
1	1	0

$$Y = \overline{A \text{ AND } B}$$

Datasheet Version: 2.0

Symbol



Code	Parameter	Value	Unit
X	Length	10.000	um
Y	Height	38.000	um
Ntran	Transistor count	4	trans
Power	AC Power dissipation	2.21	uW/MHz

Input/Output Specifications

Input	Description	Fanin	Unit	Output	Description	Fanout	Unit
A	Data in	0.048	pF	Y	Data out	0.82	pF
B	Data in	0.050	pF				

Propagation Delays

Code	From	To	Min	Typ	Max	Mil	Unit
tplh	A	Y	0.07	0.14	0.27	0.32	ns
tphl	A	Y	0.04	0.09	0.18	0.21	ns
tplh	B	Y	0.05	0.11	0.21	0.25	ns
tphl	B	Y	0.07	0.14	0.28	0.32	ns
dtplh	ANY	Y	0.55	1.18	2.33	2.71	ns/pF
dtphl	ANY	Y	0.46	0.97	1.93	2.24	ns/pF