

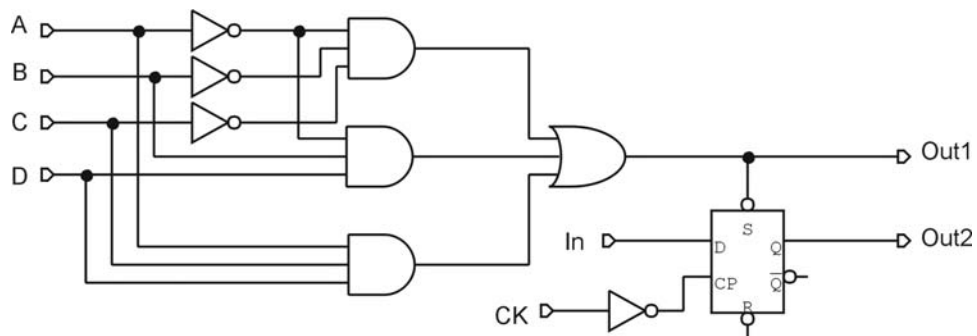
(Añadid aquí vuestros nombres)

EJERCICIOS DEL CAPÍTULO 10

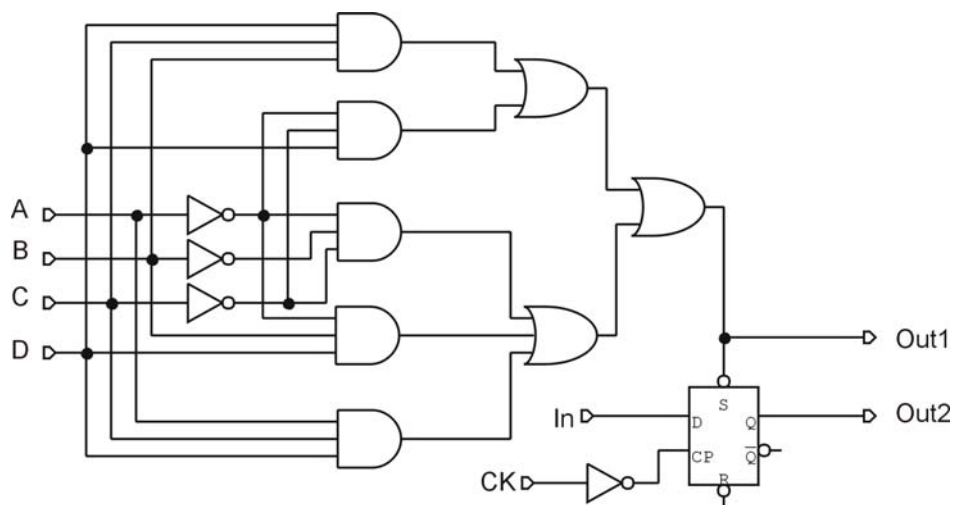
Ejercicio 1

Este ejercicio es recopilatorio de varios conceptos trabajados a lo largo del curso. Es muy importante saber si sois capaces de trabajar conjuntamente conceptos que se han estudiado en temas diferentes.

- El circuito de la figura tiene un grave problema desde el punto de vista de las buenas prácticas de diseño. ¿Cuál es exactamente?
(pista: estudia qué pasa cuando $A=C=0, D=1$ o cuando $B=C=D=1$)



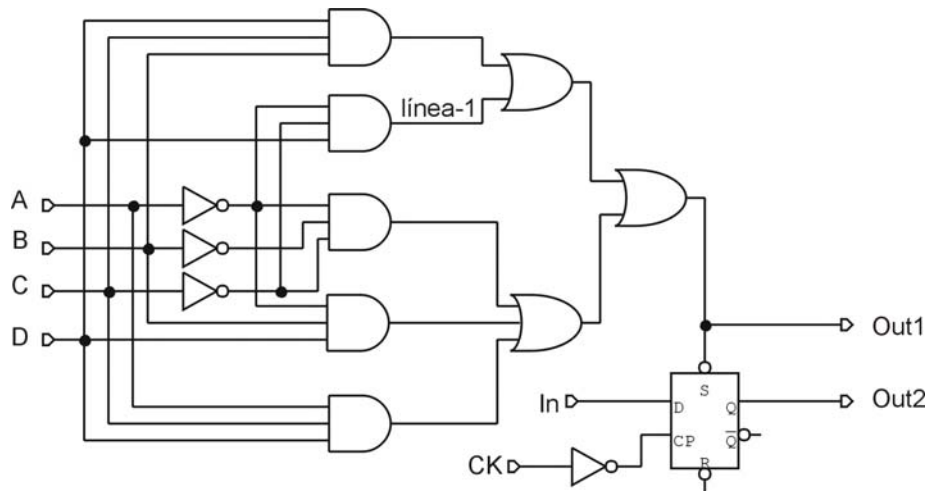
- Para (presumiblemente) evitar el problema anterior se han añadido dos nuevos términos producto, dando lugar al siguiente circuito:



¿Resuelve realmente el problema?. Explica el por qué o, en su caso, qué habría que hacer para solucionarlo.

(Añadid aquí vuestros nombres)

2. Siguiendo con en circuito anterior, genera un vector de test que detecte el fallo de la "línea-1 stuck-at-0".



¿Qué conclusiones extraes de las respuestas de esta pregunta y de la anterior?. ¿Se viola alguna regla de diseño para la testabilidad?. ¿Cuál?

Ejercicio 2

1. Respecto al circuito de la figura:
 - a. Modifica el circuito de la figura siguiente para aplicarle la técnica del scan-path.
 - b. Dibuja la parte combinacional, marcando claramente qué entradas y salidas son primarias (=externas) y cuáles no lo son.
 - c. Genera un vector de test para la parte combinacional que detecte el fallo "línea-K bloqueada a 0".
 - d. ¿Cuántos ciclos de reloj son necesarios para detectar el fallo utilizando un ATE?. ¿Cuántos ciclos de test son necesarios?. Dibuja el diagrama de tiempos de cómo se aplicarían los vectores de test y cómo se comprobaría si existe o no el fallo.

(Añadid aquí vuestros nombres)

(nota: en el circuito de la figura todas las entradas CP de los flip-flops reciben una señal de reloj correcta, aunque no se ha dibujado para simplificar el esquema)

