

Introducción al Diseño de CIs

Universitat Autònoma de Barcelona

Curso académico 2009-10

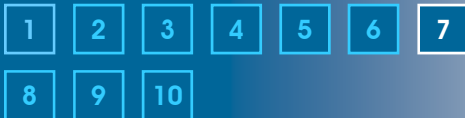
Elena Valderrama

Capítulo 7: Las buenas prácticas en el diseño de ASICs

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Introducción

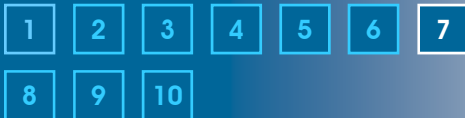
El diseño de un ASIC es, sobre todo en sus primeras, fases similar al diseño de circuitos convencionales con componentes estándar; sin embargo los ASICs poseen una serie de características que pueden tener una repercusión importante en la forma de realizar el diseño.

En este capítulo veremos una serie de puntos que merecen ser tenidos en cuenta durante el diseño del ASIC ya que contribuirán a mejorar las prestaciones del circuito y aumentarán las probabilidades de que el mismo funcione “a la primera”.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Sincronización

Aunque la lógica asíncrona tiene ciertas ventajas (velocidad global del sistema), el diseño de máquinas secuenciales asíncronas es poco frecuente debido fundamentalmente a que existen pocas celdas de librería preparadas para trabajar de esta manera y escasísimas herramientas de diseño adecuadas. En la inmensa mayoría de los casos, el funcionamiento del circuito está gobernado por una o más señales de sincronización. Entre todas las señales de sincronización suele haber una básica que actúa como referencia para el resto de ellas; a esta señal se le da el nombre de **reloj del sistema (clock)**, y no es sino una onda periódica que permanece alternativamente un tiempo a 0 y un tiempo a 1. Esta señal llega a todos los elementos de memoria del circuito.

Para que una máquina secuencial síncrona funcione correctamente es necesario que la señal de reloj llegue prácticamente al mismo tiempo a todos los elementos de memoria de dicha máquina, o al menos dentro de un espacio de tiempo que no exceda al tiempo de respuesta de estos elementos de memoria. Esta condición es fácil de cumplir en el diseño de placas puesto que el retardo de las conexiones suele ser despreciable frente a los retardos de los componentes, pero no es tan obvio cuando se trabaja con circuitos integrados ya que aquí el tiempo de propagación de una señal por una conexión relativamente larga puede llegar fácilmente a ser mayor que el tiempo de respuesta de las puertas lógicas. El problema se agrava cuando nos damos cuenta que la señal de reloj debe llegar prácticamente a todos los rincones del ASIC, por lo que la señal debe viajar por conexiones muy largas de forma que el periodo de tiempo que puede pasar desde el instante en que la señal llega al elemento de memoria más cercano hasta que llega al más alejado puede ser considerable.

¿Cómo podemos solucionar esto?. A priori de dos maneras:

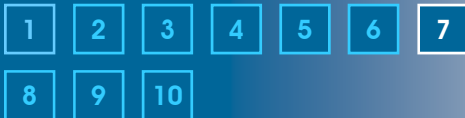
1. Introduciendo retardos en la entrada de reloj de los elementos de memoria que reciben primero la señal de reloj para igualarlos con aquellos en los que la señal llega con el máximo retardo, como ilustra la figura 1. Los retardos pueden conseguirse por ejemplo con un número par de inversores.

Sincronización

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

[ver figura >> 01](#)

Esta solución es atractiva por su simplicidad conceptual, pero poco aconsejable por dos motivos. El primero es de índole práctica: si estamos trabajando con celdas de librería, difícilmente encontraremos inversores o buffers que nos permitan generar retardos de valores concretos utilizando un número pequeño de ellos. El segundo es que los tiempos de repuesta de estos retardos variarán dependiendo de las condiciones de funcionamiento (valor real de la alimentación, temperatura exterior, etc.). Muy difícilmente conseguiremos circuitos de retardo que cumplan con su función en todo el rango de condiciones industriales o militares, para convencernos no tenemos más que ver en las hojas de especificaciones la puerta NAND (ver figura 2 del capítulo 5) las diferencias entre los tiempos de respuesta en el mejor y en el peor caso.

2. Reduciendo la longitud efectiva de las conexiones utilizando un árbol de inversores como veremos a continuación.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Distribución de la señal de reloj: Clock-buffering

El tiempo de propagación de una señal por una pista puede calcularse aproximando ésta a una línea de transmisión en la cual dicho tiempo es proporcional al producto de su resistencia R por su capacidad C . Si nuestra pista tiene un tamaño W, L , el tiempo de propagación resultará proporcional a L^2 :

$$t \propto R \cdot C; \quad \left. \begin{array}{l} R \propto \frac{L}{W} \\ C \propto L \cdot W \end{array} \right\} \Rightarrow t \propto \frac{L}{W} \cdot L \cdot W = L^2$$

Supongamos una pista de longitud L como la que muestra la figura 2.a. Supongamos ahora que cortamos la pista por la mitad e introducimos un buffer (=dos inversores) entremedio. El tiempo de propagación, antes proporcional a L^2 , será ahora proporcional a ...

$2 \cdot (L/2)^2 + t_{buffer} = (L^2/2) + t_{buffer}$. Si t_{buffer} es lo suficientemente pequeño, el tiempo de propagación total a lo largo de la pista será menor que el inicial.

[ver figura >> 02](#)

Esta idea se utiliza para transmitir la señal de reloj a lo largo y ancho del circuito, introduciendo una serie de inversores conectados formando un árbol como se ilustra en la figura 2.b, y de manera que la capacidad que debe cargar cada inversor es relativamente reducida.

Para asegurar que las señales se reciben a la vez en todos los elementos de memoria, al árbol de inversores se le pide que:

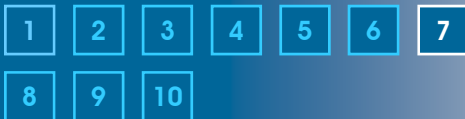
1. Todas sus ramas tengan la misma profundidad (figura 3.a)
2. Cada nivel de jerarquía contenga el mismo número de inversores (figura 3.b)

[ver figura >> 03](#)

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

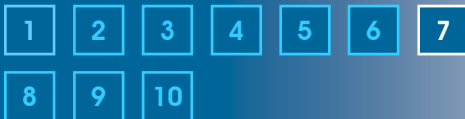
Distribución de la señal de reloj: Clock-buffering

El cumplimiento de estas dos condiciones asegura que todos los inversores tienen que cargar una capacidad casi idéntica y por tanto sus tiempos de respuesta en cualquier punto de funcionamiento sean muy similares. Todo árbol que cumpla estas dos condiciones recibe el nombre de **árbol balanceado** .

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Sincronización de shift-registers de un elevado número de bits

Cuando un registro de desplazamiento (*shift-register*) contiene un elevado número de flip-flops, la pista por la que discurre la señal de reloj es grande y por tanto lleva asociada una capacidad y resistencia elevada. Para reducir el efecto de esta *R.C* se suelen intercalar una pareja de inversores, tal como muestra la figura 4.a.

[ver figura >> 04](#)

En la figura 4.b se puede ver el diagrama de tiempo de las señales. La inclusión de los dos inversores causa un desfase en los retados con los que la señal de reloj llega a cada uno de los flip-flops que provoca un “salto” en el desplazamiento de los datos. Obsérvese que cuando el flanco de reloj llega al 5º flip-flop, el flip-flop anterior ya ha cambiado de valor y por tanto su estado anterior se ha perdido.

Parecería que la solución más obvia sería que la línea de reloj atacara a los flip-flops en sentido inverso, como se ilustra en la figura 5.a, pero es resultado tampoco es satisfactorio porque, en este caso puede darse una des-sincronización entre la llegada de la señal de reloj al primer flip-flop y el cambio de la señal de entrada (figura 5.b).

[ver figura >> 05](#)

La solución recomendable es utilizar de nuevo un pequeño [árbol balanceado](#) de inversores que asegure la correcta sincronización de todos los componentes del registro de desplazamiento, como puede verse en la figura 5.c.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Glitches y entradas asíncronas a los elementos de memoria

Como ya se explicó en el capítulo 2, las entradas a los elementos de memoria cuyo funcionamiento no depende de la señal de reloj reciben el nombre de **entradas asíncronas**. Son entradas asíncronas las entradas de *reset*, *preset* y la propia entrada de *reloj*. Las dos primeras, y la tercera cuando se trata de flip-flops, son capaces de modificar el estado del elemento de memoria cuando detectan un paso de 0 a 1 o de 1 a 0 (lógica negativa). Idealmente las señales que llegan a estas entradas deberían estar libres de eventuales **glitches**, puesto que cada uno de ellos puede ser interpretado como la propia orden de cambio de estado.

La figura 6 muestra un ejemplo de esta situación. Cuando las entradas al circuito de la figura pasan de los valores $A=1, B=C=0$ a $A=0, B=C=1$. El inversor hace que durante un pequeño instante de tiempo tanto B como $no-B$ permanezcan a 1, forzando durante ese tiempo un *glitch* a 1 a la salida que puede poner a 1 (*preset*) erróneamente el flip-flop.

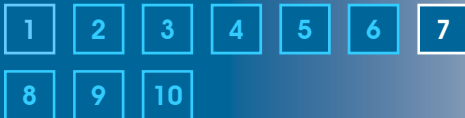
[ver figura >> 06](#)

¿Qué hay que hacer para evitar esta situación?: Se debe asegurar que las entradas a las puertas que generan señales asíncronas de *reloj*, de *reset* o de *preset* no cambian de valor simultáneamente ni se puede producir ninguna situación que pudiese provocar un *glitch*. Lo ideal y recomendable es que estas señales lleguen directamente desde el exterior sin pasar por ninguna puerta salvo inversores. Si es absolutamente necesario que estas señales pasen por puertas lógicas antes de atacar a las entradas asíncronas de los elementos de memoria, se debería asegurar que están libres de *glitches*.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Uso de los dos flancos de reloj

En un intento de aumentar la velocidad del circuito, el diseñador decide a veces aprovechar los dos flancos de reloj para controlar los eventos, incluyendo en el circuito flip-flops que responden al flanco de subida y flip-flops que responden al flanco de bajada.

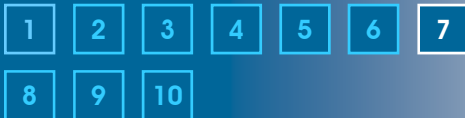
Esta es una práctica poco recomendable por razones no directamente relacionadas con la electrónica sino con la metodología de diseño y sus herramientas. El uso de los dos flancos de reloj ...

1. Imposibilita la adopción de metodologías de test tipo *scan-path* (se estudiará en los capítulos dedicados al test), y
2. Dificulta enormemente la determinación de los caminos críticos del circuito por parte de los verificadores temporales.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Sincronización de las entradas externas: Metaestabilidad

En el capítulo 2 se explicó el concepto de *metatestabilidad*, y los problemas que conlleva no sólo por la eventual pérdida de información sino también por el pico de consumo que se produce durante este estado metaestable. Si bien dentro del circuito se puede evitar la aparición de estados metatestables mediante una correcta sincronización del mismo, no ocurre otro tanto cuando se reciben desde el exterior entradas no sincronizadas con el reloj interno de nuestro circuito, situación por otra parte muy frecuente. Al poder llegar los cambios de valor de las señales de entrada en cualquier momento, existe una pequeña pero no nula probabilidad de que lleguen coincidiendo precisamente con un flanco de reloj provocando la metatestabilidad. Esto hace indispensable el sincronizar las señales de entrada con el reloj interno tan pronto llegan al circuito, pero... ¿Cómo...?.

La solución más sencilla consiste en colocar a continuación del pad de entrada dos o más flip-flops en serie como puede verse en la figura 7.a. Si la probabilidad de que el primer flip-flop entre en un estado metatestable es baja, la probabilidad de que este estado se pueda transmitir al segundo flip-flop se puede considerar a todos los efectos despreciable. Con esta solución tan sencilla es suficiente para evitar los eventuales picos de consumo causados por la metaestabilidad; si además deseamos asegurar que la información que entra es la correcta habrá que combinar esta solución con una estrategia de leer al menos dos veces la señal de entrada y comprobar que es la misma, lo que implica que la señal de entrada debe permanecer estable al menos durante dos ciclos del reloj interno.

[ver figura >> 7.a; 7.b](#)

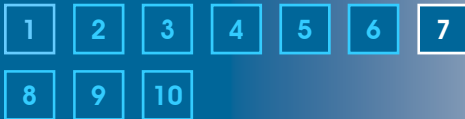
El diagrama de tiempos de la figura 7.b muestra el funcionamiento de este módulo. Fijémonos que el riesgo de metatestabilidad se da en *ambos* flancos de la señal CK.

Una segunda solución se presenta en la figura 7.c. El circuito propuesto reduce el riesgo de metaestabilidad a sólo el flanco de subida de CK. Como puede verse, la propia señal de entrada (*EE*) hace de señal de reloj para el primer flip-flop, con lo que es imposible que este entre en un estado metatestable, llegue cuando llegue el flanco de la señal de entrada.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Sincronización de las entradas externas: Metaestabilidad

Un cambio de 0 a 1 en la señal de entrada provoca una puesta a 1 del primer flip-flop, mientras que el resto del circuito tiene como misión volver a poner el primer flip-flop a 1 después de dos flancos de reloj para quedar a la espera de un nuevo cambio de la señal de entrada.

El segundo flip-flop si es posible que entre en un estado metaestable y por ello los flip-flops 2 y 3 están conectados en serie para evitar el riesgo de transmisión de la metaestabilidad. En el diagrama de tiempos de la figura 7.d se puede ver con detalle el funcionamiento de este módulo. Fijémonos que la generación de la señal de entrada al circuito no depende para nada del flanco de bajada de la señal *EE*.

En general es suficiente con adoptar la primera de las soluciones propuestas.

[ver figura >> 7.a; 7.b](#)

[ver figura >> 7.c; 7.d](#)

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Inicialización del circuito

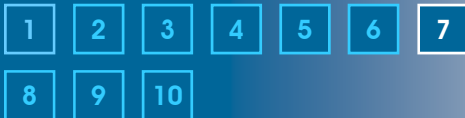
La existencia de una señal externa capaz de inicializar todos los elementos de memoria a un estado conocido es muy recomendable; mejora considerablemente la testabilidad del circuito, y facilita la simulación de éste. La penalización que hay que pagar como contrapartida es el “*routeado*” de esta señal a lo largo de todo el circuito, con el consiguiente aumento de área, necesidad de buffers intermedios, etc.

Aún así, es **altamente recomendable** disponer de un *reset* general del circuito (parece mentira, pero el día que se os olvide poner esta señal de reset entenderéis/sufriréis esta recomendación perfectamente).

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Tri-states internos

La existencia de nodos en alta impedancia dentro del circuito debe evitarse siempre que sea posible porque son una fuente segura de ruido. Veamos algunas situaciones:

Buses y nodos flotantes

Los buffers o inversores *tri-state* de control de acceso a los buses no suelen prever todas las posibles combinaciones lógicas, dando lugar a estados de alta impedancia. Por ejemplo, cuando las señales c_1 , c_2 , c_3 y c_4 de la figura 8.a están todas ellas a 1 el paso de cualquier información al bus está cortado y este permanece en alta impedancia.

[ver figura >> 08](#)

La solución es muy sencilla. Se recomienda añadir la lógica necesaria para que, cuando la combinación de las señales de control de acceso sea tal que el bus quede en alta impedancia, fuerce un valor conocido (0 en la figura 8.b) sobre éste.

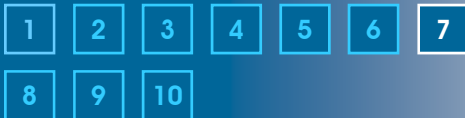
Pads con *pull-up* o *pull-down*

De una manera similar, el uso de pads de entrada o bidireccionales con resistencias de *pull-up* o de *pull-down* (ver capítulo 5) evita la existencia de nodos internos en alta impedancia cuando por cualquier razón no se reciben señales por dichas entradas.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Conflictos en buses: Bus-contentions

Otra situación a evitar es aquella en la que a una misma línea de bus llegue información contradictoria por más de una línea de entrada. Evidentemente esto es algo que el diseñador debe prever que no ocurra desde el punto de vista de funcionamiento lógico, pero lo que no siempre tiene en cuenta es que estos conflictos pueden venir provocados por los distintos tiempos de propagación de las propias líneas de entrada al bus.

En la figura 9 se ilustra esta situación: Si las señales c_1 y c_2 llegan con un pequeño desfase Δt (9.b) se produce una corriente que fluye desde la alimentación V_{DD} del inversor-2 a la tierra del inversor-1, creando un cortocircuito que producirá un pico de consumo y si Δt fuese grande podría llegar a dañar irremediabilmente al circuito.

[ver figura >> 09](#)

En los manuales de las herramientas y en los mensajes que éstas dan, esta situación se conoce con el nombre de “**bus-contention**”.

Una situación similar se puede dar cuando se utilizan pads bidireccionales y la llegada de las señales de entrada no está perfectamente sincronizada con la señal de control del pad bidireccional. Esta situación tiene especial importancia durante el test del circuito como se verá cuando se estudie éste.

Bus-contentions del orden de picosegundos o de algún nanosegundo pueden ser aceptables dependiendo de las características concretas del proceso CMOS con el que se trabaje, pero si Δt es mayor la situación es totalmente inaceptable.

Velocidad del circuito

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



Introducción

Sincronización

Inicialización del circuito

Tri-states internos. Buses

Velocidad del circuito

Consumo

PLAs

Memorias, ¿dentro o fuera?

Resumen

La velocidad del circuito puede mejorarse ligeramente siguiendo una serie de normas poco costosas:

1. Uso de NANDs vs NORs

En lógica CMOS-complementaria, las puertas NAND de n entradas poseen n transistores-N en serie, mientras que en las puertas NOR son los transistores-P los que están conectados en serie. Puesto que, a igualdad de tamaños, los transistores-N responde antes que los P (la movilidad de los electrones es aproximadamente el doble que la movilidad de los huecos), es recomendable usar preferentemente puertas NAND mejor que puertas NOR.

2. Analizar los tiempos de respuesta de las celdas de librería

Es recomendable analizar la información que aparece en las hojas de especificaciones de las celdas de librería. Estos son datos extraídos de una librería de celdas comercial sobre una puerta OR de 3 entradas (OR3), una NOR de 3 entradas (NOR3) y un inversor (INV):

	t_{plh} (ns)	L (μm)
INV	0,13	9
OR3	0,34	21,5
NOR3	0,95	27,1

Si deseamos hacer la función NOR de tres variables podremos o bien utilizar una NOR3 o bien poner en serie una OR3 y un inversor. Veamos que implicaciones tiene estar dos posibles soluciones sobre el tiempo de subida de la función y el área:

Velocidad del circuito

	t_{plh} (ns)	L (μm)
NOR3	0,95	27,1
OR3+INV	0,47	30,5
diferencias	-0,48	+3,4

La implementación utilizando una puerta OR3 seguida de un inversor es casi dos veces más rápida (en este ejemplo) que si se implementa directamente mediante una NOR3, aunque esta solución ocupa más área.

3. Entrar las señales más lentas a los últimos niveles de lógica

Supongamos que queremos implementar la función

$$f(a, b, c, d, x) = x \cdot (a \cdot b + c \cdot d)$$

y que sabemos que x es una señal especialmente lenta. Dicha función puede implementarse con sólo dos niveles de lógica (figura 10.a), o trasladando directamente la expresión lógica anterior como se muestra en la figura 10.b. Si x es una señal especialmente lenta, la segunda opción en la que x sólo debe pasar por una puerta lógica es posible que lleve a un tiempo de respuesta global menor que la primera.

[ver figura >>10](#)

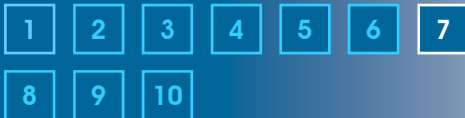
4. Duplicar la lógica de ataque a nodos de alta capacidad

Siguiendo con el ejemplo anterior, si la capacidad asociada al nodo de salida es grande, es recomendable utilizar puertas especialmente diseñadas para ello (p.e., la puerta NA2 vs la puerta NA del capítulo 6), o en caso de que esto no sea posible, duplicar la lógica de ataque a dicho nodo, como se ilustra en la figura 10.c

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

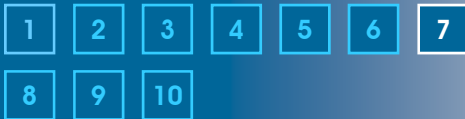
[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Velocidad del circuito

5. *Cuidar el tamaño de los nodos de interconexión*

Contra mayor sea el nodo (más larga sea la conexión) mayores serán sus capacidades y resistencias asociadas, y peor será el tiempo de respuesta. Es una buena práctica priorizar las conexiones locales frente a las globales.

Consumo

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

El consumo de potencia del circuito es un parámetro fundamental. En general, los consumos excesivos producen temperaturas elevadas dentro del chip que a su vez afectan negativamente a la velocidad del mismo y obligan a utilizar encapsulados costosos. Y eso sin descartar que, en algunas aplicaciones como por ejemplo los sistemas portables, es prioritario conseguir consumos totales muy bajos.

La movilidad de los portadores se reduce conforme aumenta la temperatura, de forma que en las predicciones de los tiempos de respuesta del circuito se debe tener en cuenta la temperatura interna de éste, que a su vez depende de (1) el consumo del circuito y (2) el tipo de encapsulado utilizado y de cuán eficientemente disipe éste el calor. Para poder realizar una evaluación a priori de los tiempos de respuesta que se pueden conseguir, el fabricante suministra unas gráficas (*curvas de deriva*) que dan, para cada valor de la T_{interna} , un factor de deriva por el que hay que *multiplicar* el tiempo de respuesta nominal para obtener una estimación precisa del cuál será el tiempo de respuesta real. A su vez, la T_{interna} depende de la T_{ambiente} y de la capacidad de disipación de calor del encapsulado, de modo que el fabricante indica, en cada uno de los encapsulados posibles, la T_{interna} que alcanza en circuito en función de la T_{ambiente} y el consumo del mismo.

La velocidad del circuito se ve afectada no sólo por el consumo sino también por la tensión de alimentación. Las estimaciones de tiempo de respuesta se corrigen para este factor de una forma similar, utilizando la curva de deriva de V . La figura 11 muestra un ejemplo de tales curvas de deriva.

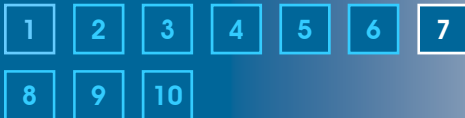
[ver figura >>11](#)

PLAs

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Las PLAs son muy atractivas cuando se desean implementar un cierto número de funciones lógicas porque llevan a implementaciones muy compactas y sencillas de realizar.

Aquí sólo queremos dar un toque de atención: Aunque el área de silicio ocupada por una PLA es sin duda menor que el área que ocuparían esas mismas funciones si se implementaran de una manera convencional con celdas individualmente, a veces resulta más fácil para el programa de P&R ubicar estas celdas de librería que ubicar la PLA completa puesto que ésta no admite “fragmentaciones”; pudiéndose llegar a la paradoja de que el área global del circuito del que forman parte estas funciones resulte menor si las funciones se implementan con celdas de librería que si se hace con una PLA (!!!).

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

Memorias, ¿dentro o fuera?

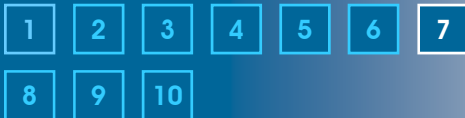
Una última consideración sobre el uso de memorias dentro del ASIC : Las memorias RAM y ROM implementadas dentro del circuito *son muchísimos más ineficientes que los chips específicos de memoria*, ya que estos últimos se integran con procesos tecnológicos y técnicas de diseño especialmente orientadas a sus necesidades. Dicho de otra manera, las memorias internas son más grandes y más lentas que los chips de memoria que se pueden utilizar fuera del ASIC. La ventaja de introducir la memoria en el ASIC radica en que se elimina la necesidad de sacar al exterior las señales que codifican la dirección y los datos, reduciéndose sensiblemente las necesidades de E/S y simplificándose el encapsulado.

Así pues, el diseñador deberá evaluar cuidadosamente la importancia de las ventajas de E/S frente a las desventajas de área y velocidad a la hora de evaluar la conveniencia o no de utilizar una memoria externa o incluir ésta en el ASIC.

Capítulo 7 : Las buenas prácticas en el diseño de ASICs

Elena Valderrama

Capítulos



[Introducción](#)

[Sincronización](#)

[Inicialización del circuito](#)

[Tri-states internos. Buses](#)

[Velocidad del circuito](#)

[Consumo](#)

[PLAs](#)

[Memorias, ¿dentro o fuera?](#)

[Resumen](#)

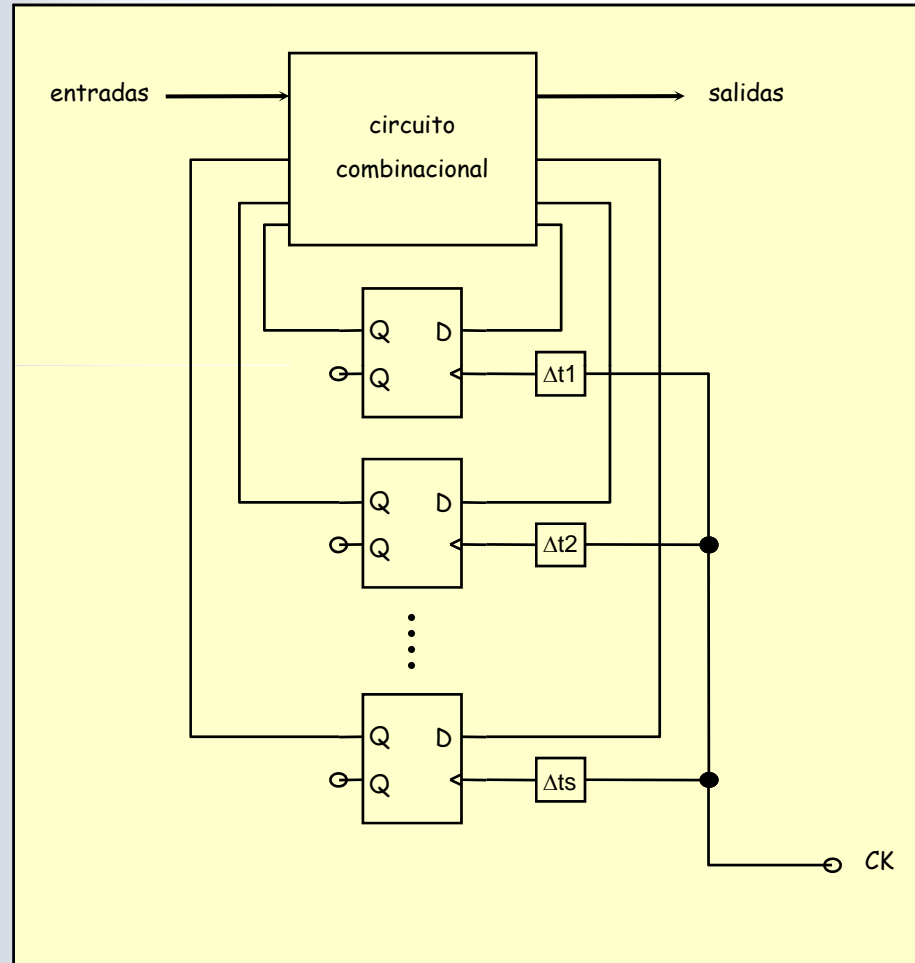
Resumen

Este capítulo recoge una serie de sugerencias de cómo resolver ciertas cuestiones específicas del diseño de ASICs.

Ni esta lista es exhaustiva, ni todas las sugerencias aquí enunciadas tienen aplicación en todos los circuitos; sólo la experiencia del diseñador acabará diciéndole cómo debe proceder para que las prestaciones finales de su circuito en particular sean las mejores posibles.

Fin del capítulo 7

Figura 1



$\Delta t_1, \Delta t_2, \dots, \Delta t_s$
representan
retardos de distinta
duración

Figura 2

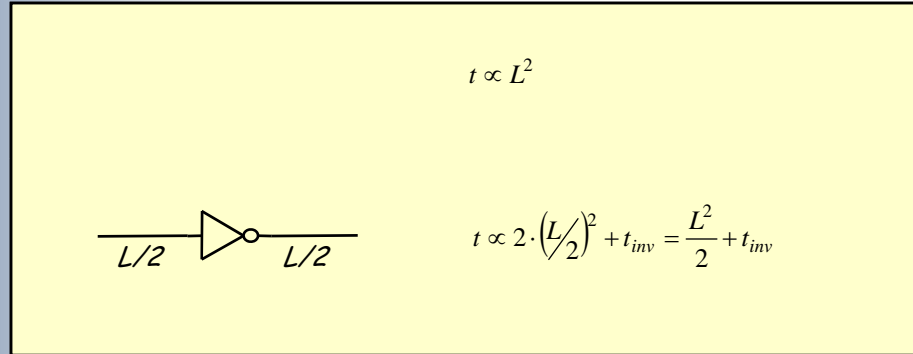


Figura 2.a

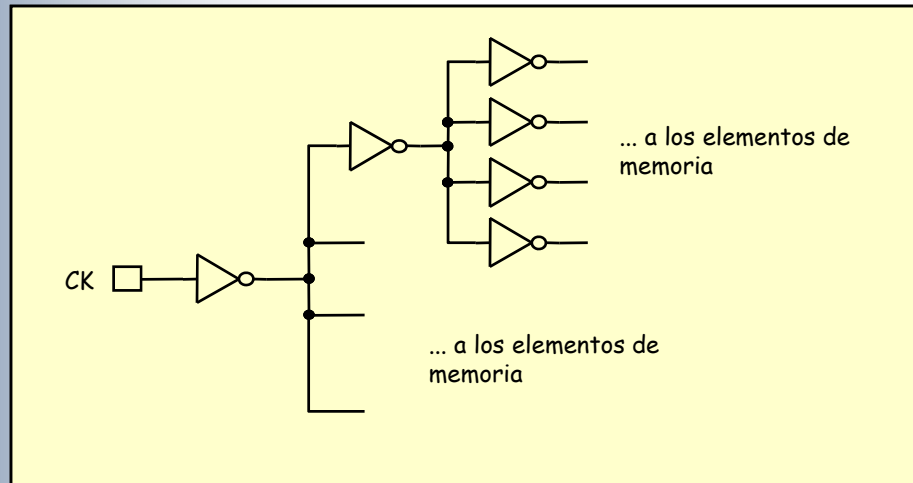
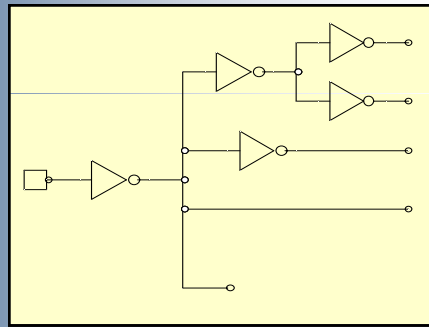
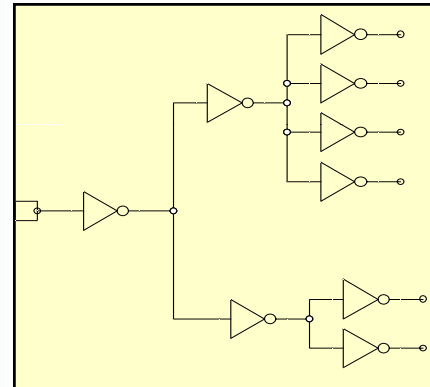


Figura 2.b

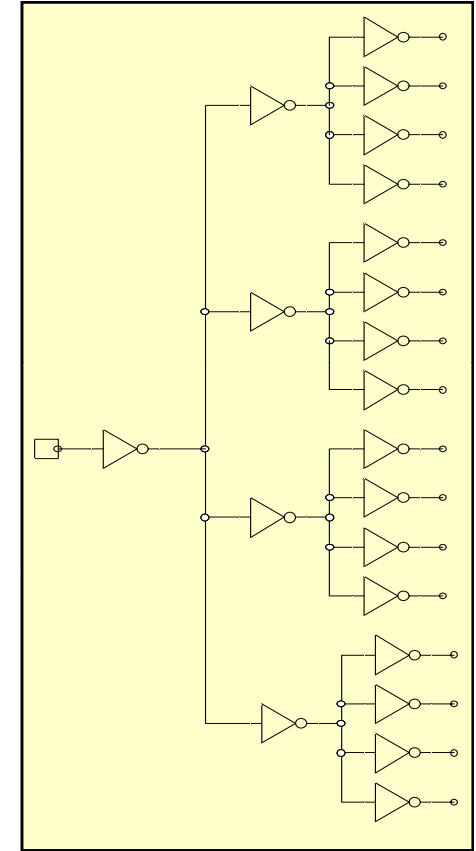
Figura 3



3.a: Distintos niveles de profundidad

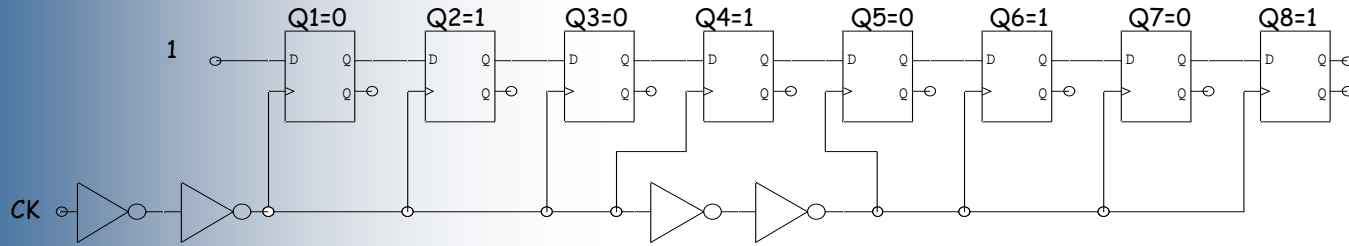


3.b: Niveles con distinto número de inversores

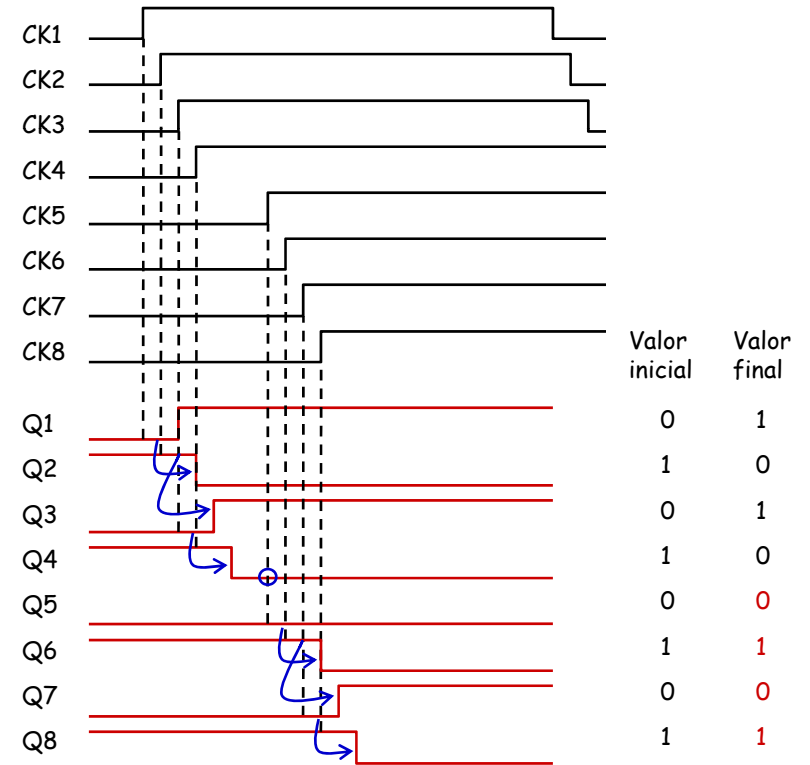


3.c: Árbol balanceado

Figura 4



4.a : *Shift-register* de 8 bits. En el ejemplo que se comenta se supone que el *shift-register* está en el estado 10101010 y recibe un 1 por su entrada.



4.b : Los distintos CK_i representan las llegadas de CK a cada flip-flop. Obsérvese como el excesivo desfase entre la llegada de CK al flip-flop 5 debida a los dos inversores introducidos provoca un fallo (círculo) en el desplazamiento de los datos

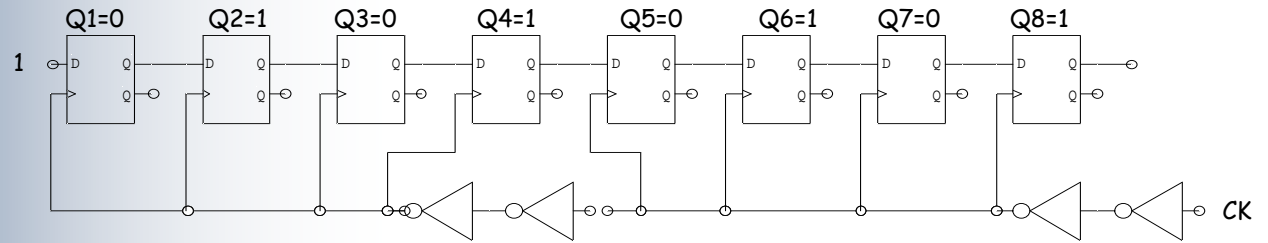
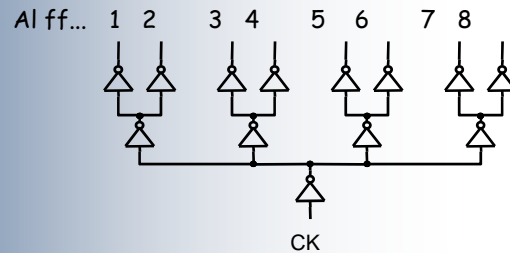


Figura 5

5.a : *Shift-register* de 8 bits, con los buffers de la señal de CK colocados a la inversa.



5.c : Árbol de inversores

5.b : Los distintos CK_i representan las llegadas de CK a cada flip-flop. Obsérvese como en este caso la des-sincronización de la señal de entrada con la llegada de la señal CK al primer flip-flop es la causa del mal funcionamiento del *shift-register*.

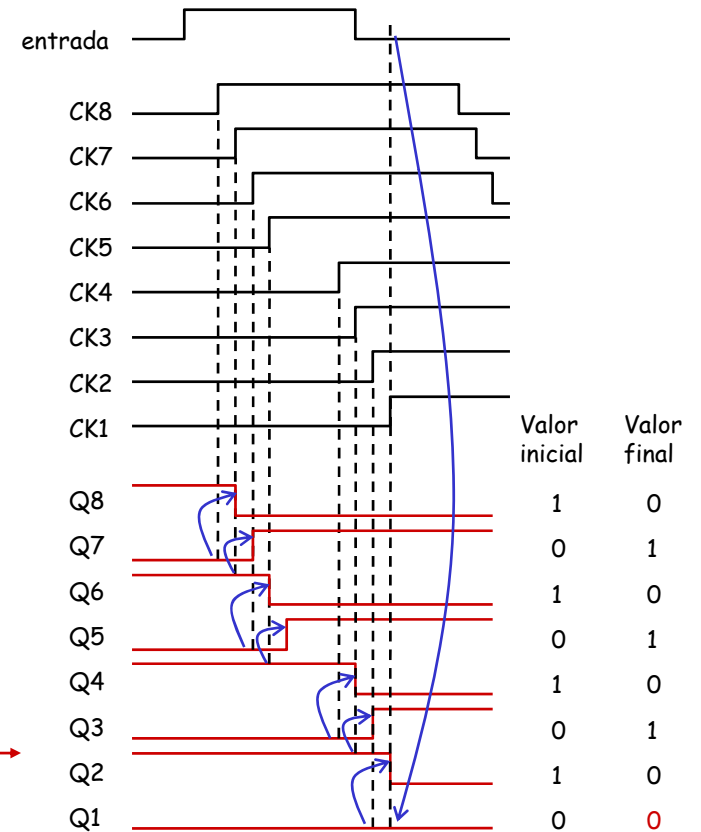
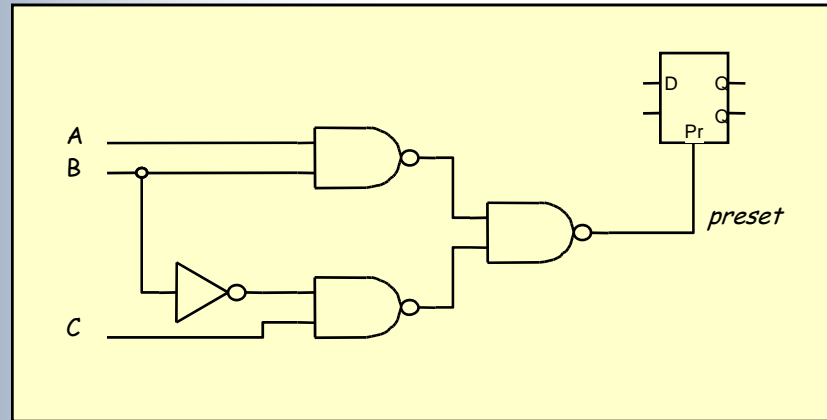
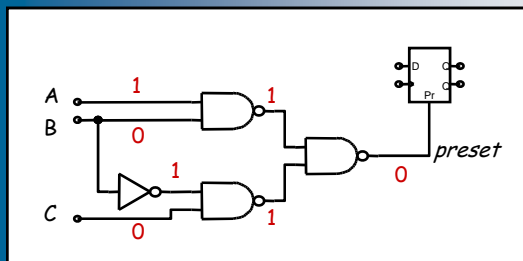
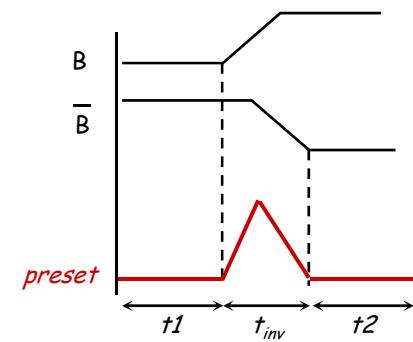


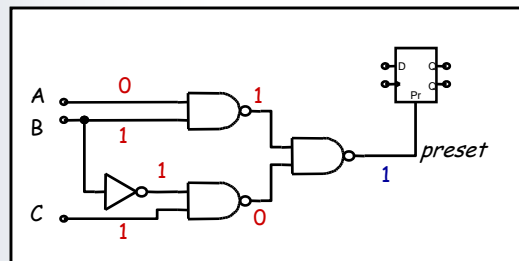
Figura 6



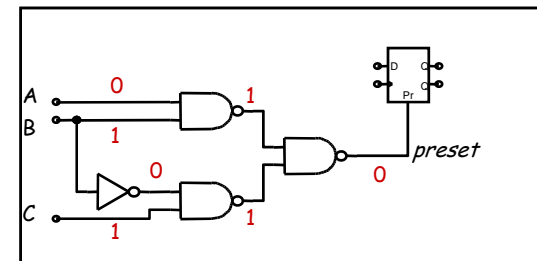
	t1	t2
A	1	0
B	0	1
C	0	1



Estado del circuito en t1



Estado del circuito en t_{inv}



Estado del circuito en t2

Figura 7

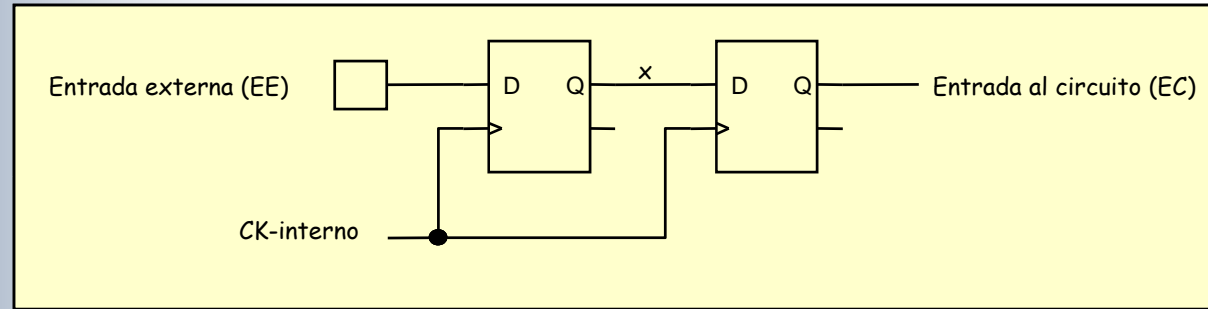


Figura 7.a

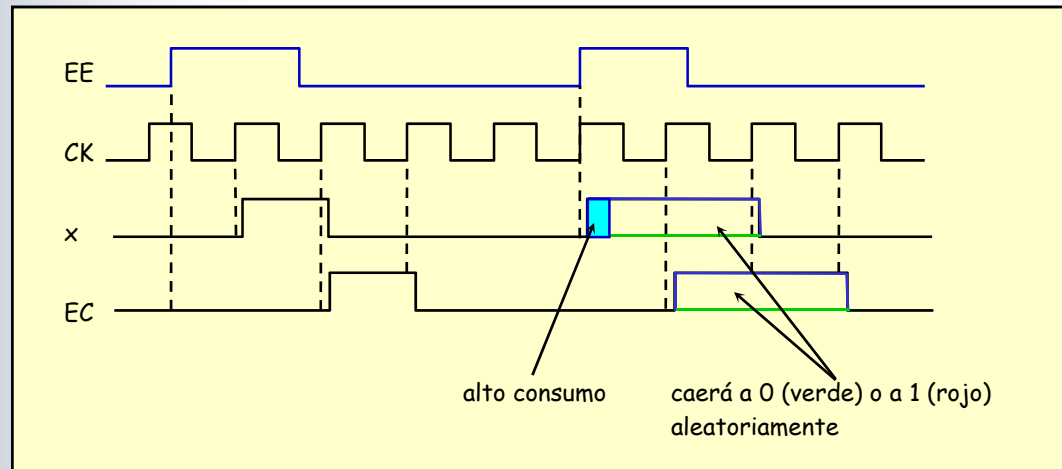


Figura 7.b

Figura 7

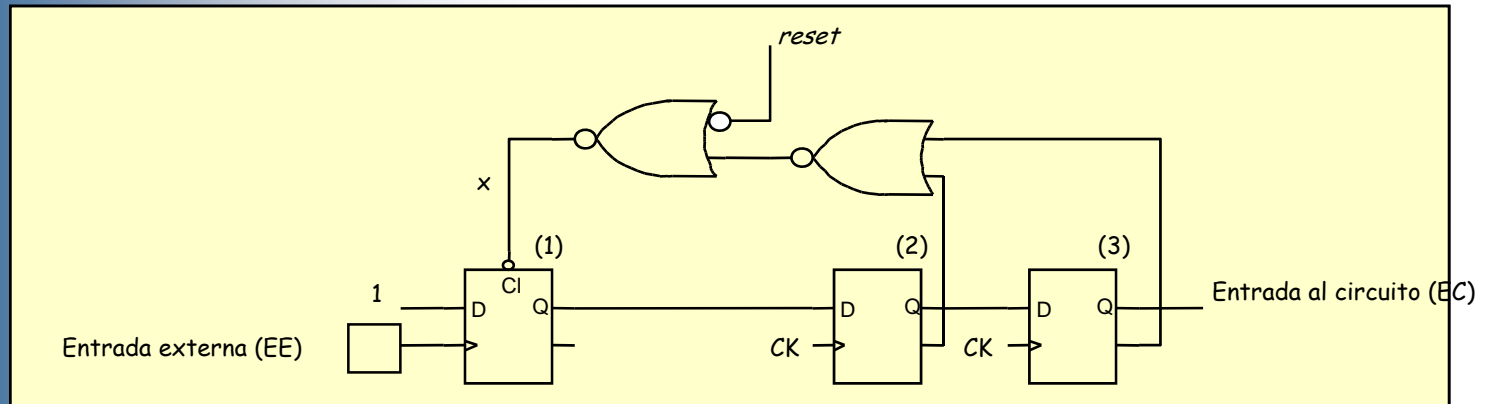


Figura 7.c

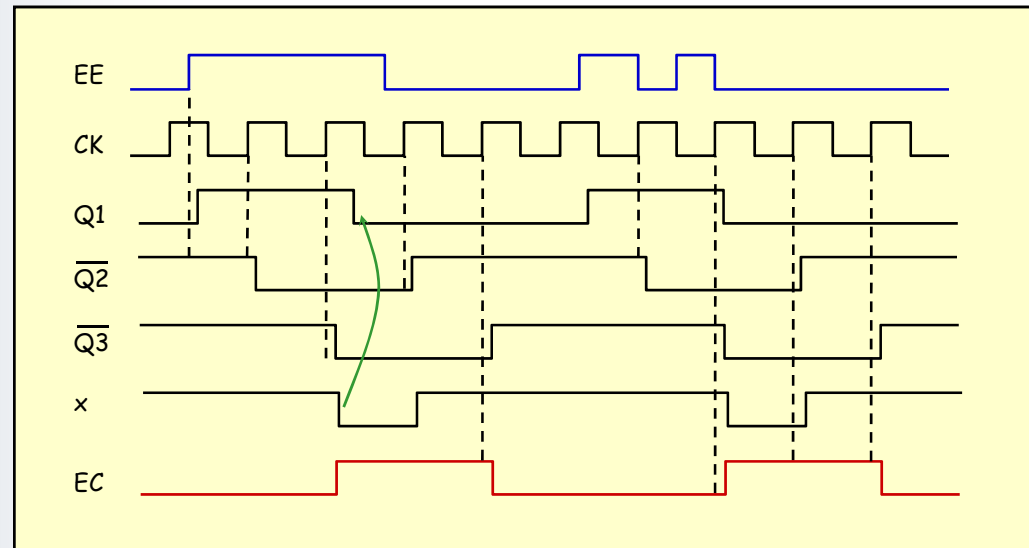


Figura 7.d

Figura 8

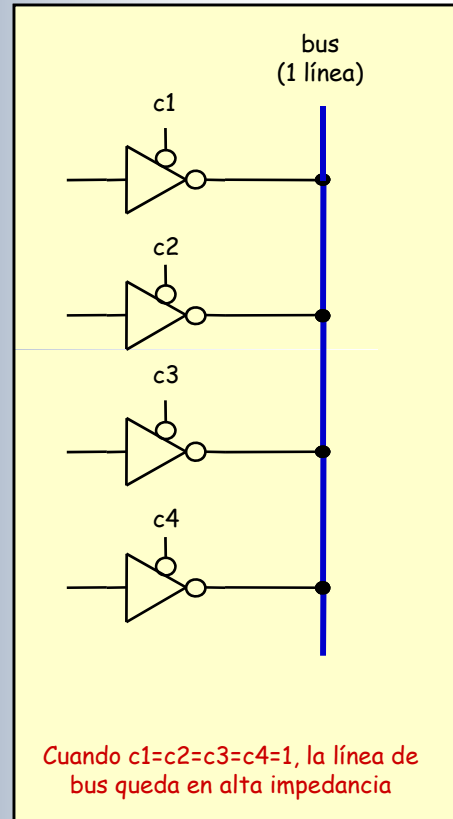


Figura 8.a

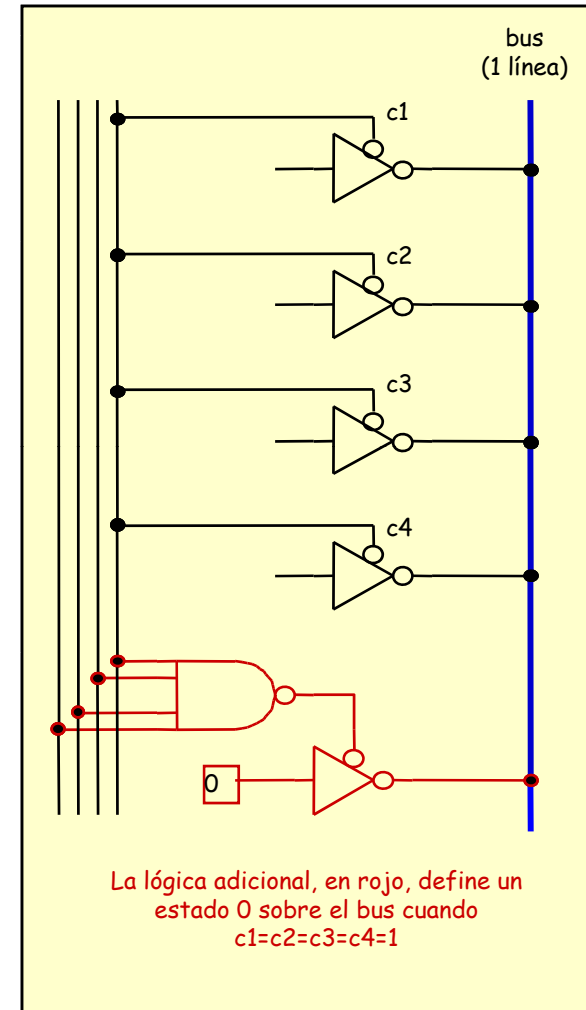


Figura 8.b

Figura 9

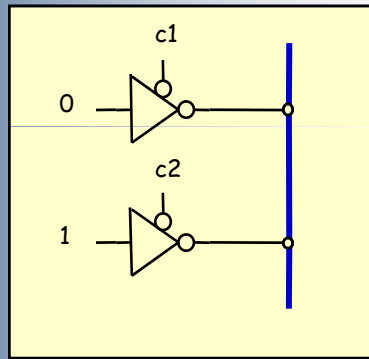


Figura 9.a

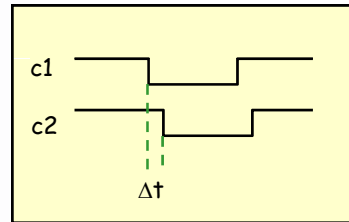


Figura 9.b

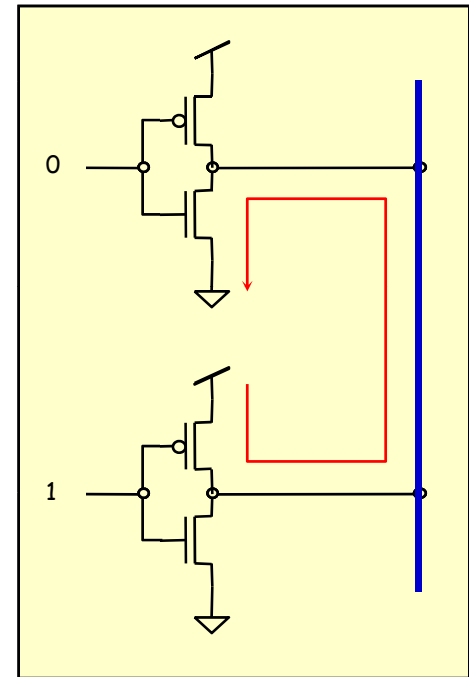


Figura 9.c

Figura 10

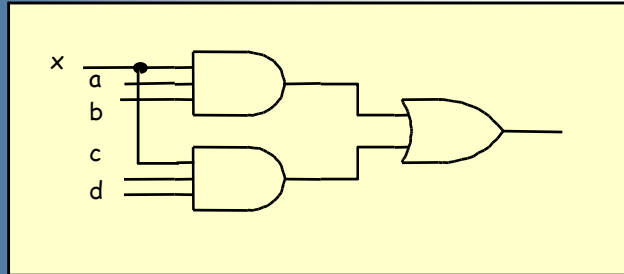


Figura 10.a

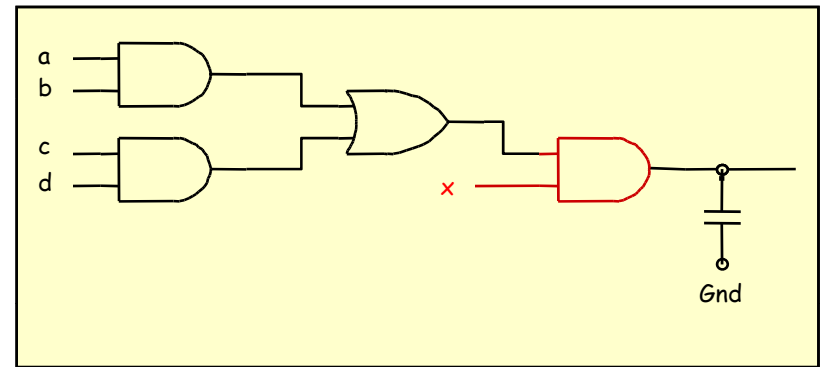


Figura 10.b

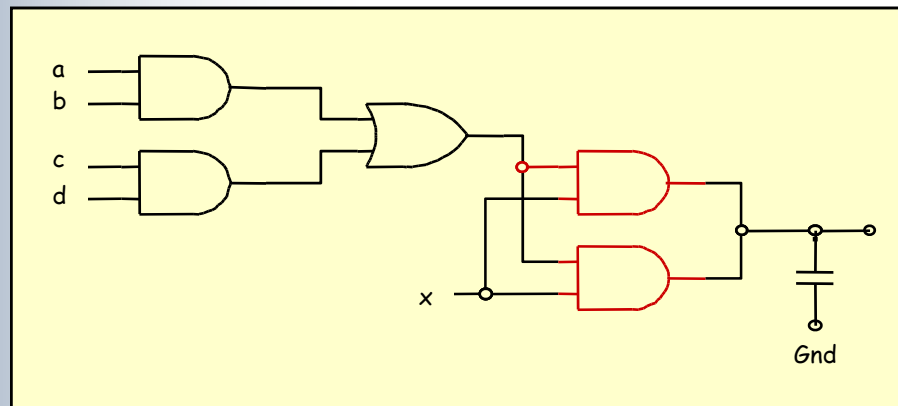
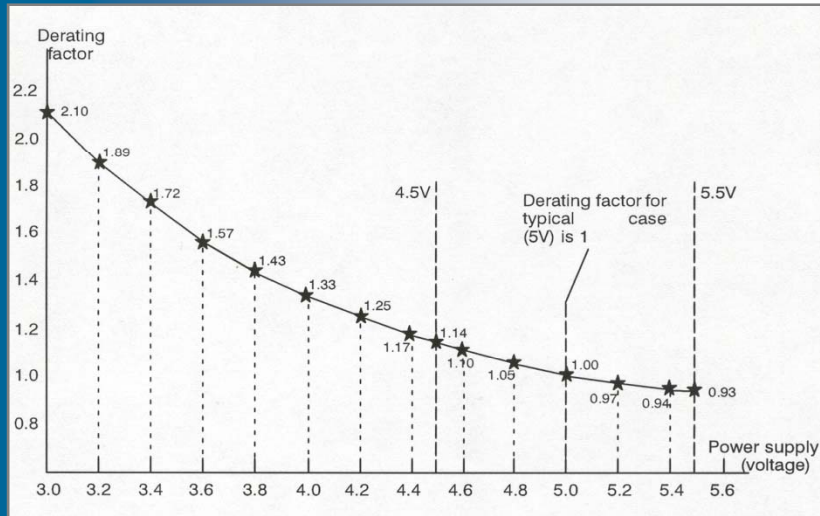


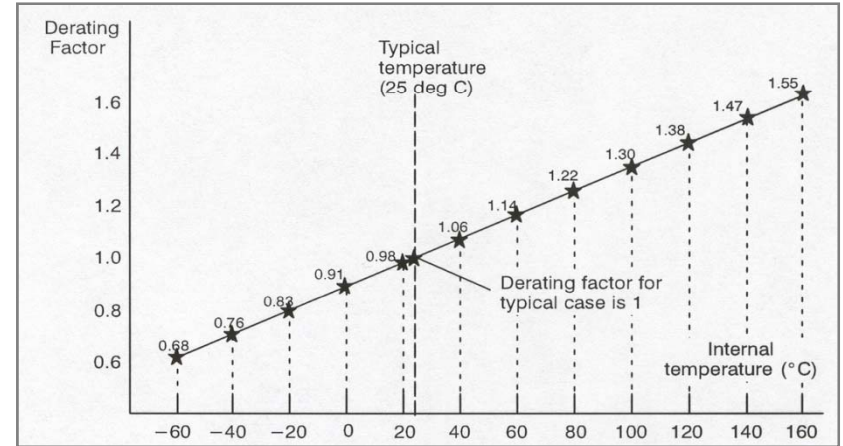
Figura 10.c

Figura 11

Curva de deriva de Vdd



Curva de deriva de la temperatura interna



Package type

Internal temperature

40-pin DIL (ceramic)
40-pin DIL (plastic)

ambient temperature + 40°C per Watt
ambient temperature + 100°C per Watt

84-pin LCC (ceramic)
84-pin LCC (plastic)

ambient temperature + 40°C per Watt
ambient temperature + 33°C per Watt

120-pin PGA (ceramic)
120-pin PGA (plastic)

ambient temperature + 35°C per Watt
ambient temperature + 72°C per Watt

Fin del capítulo 7