

Introducción al Diseño de CIs

Universitat Autònoma de Barcelona

Curso académico 2009-10

Elena Valderrama

Capítulo 5 : Flujo de Diseño

Introducción

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

El diseño de un ASIC incluye todas las tareas a realizar desde la especificación del circuito hasta la definición de las máscaras y su envío a fabricación.

Desde un punto de vista general, el **diseño** de un sistema electrónico constituido al menos en parte por uno o varios ASICs podemos dividirlo en tres grandes etapas :

[ver figura >> 01](#)

1. Definición de las especificaciones del sistema, estudio de la viabilidad técnica y económica, particionado del sistema y decisión sobre la/las tecnología/s y alternativa/s de diseño a utilizar (*standar-cells*, *FPGAs*, ...).

La especificación del circuito o sistema que se desea obtener comienza habitualmente por una descripción de tipo funcional (“deseo obtener un circuito que haga lo siguiente.....”) que va refinándose progresivamente hasta llegar a descripciones de tipo estructural (sistema expresado a nivel de grandes bloques) y paramétrica (velocidad de la señal de reloj, consumos máximos aceptables, tamaño máximo de la pastilla de Si, coste máximo permitido, ... etc). Es una tarea importantísima donde se toman decisiones vitales para el buen desarrollo del diseño; por ejemplo,

- a) Las especificaciones del circuito (velocidad, consumo,...) obligarán a descartar algunas tecnologías que no cumplan los requisitos; así por ejemplo, si el consumo total del circuito debe ser muy bajo deberemos descartar las tecnologías bipolares..... o si las especificaciones de tamaño y velocidad del circuito no son muy restrictivas podremos pensar en usar una tecnología no-punta en cuanto a longitud de canal (y por tanto de coste menor)
- b) Las especificaciones del circuito, junto a datos como la producción anual prevista y/o la necesidad de sacar el producto al mercado en un tiempo más o menos corto y su coste nos orientarán hacia una de las distintas alternativas de diseño

Introducción

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

- c) Si se trata de sistemas complejos, un buen particionado de éste en el número adecuado de ASICs junto a CIs estándar permitirá disminuir los costes y aumentar las prestaciones.

En la figura 1 se resumen las tareas más importantes que se engloban en esta primera etapa del diseño. Las especificaciones, las restricciones y el particionado del sistema llevan a una planificación inicial del sistema en grandes bloques a partir de la cual se debe estudiar la viabilidad técnica del proyecto (¿es técnicamente posible cumplir con las especificaciones deseadas?) y su viabilidad económica.

2. Conociendo la tecnología y la alternativa de diseño que se va a utilizar, el siguiente paso es diseñar propiamente el circuito integrado, entendiendo como tal a toda la serie de procesos que, partiendo de una descripción de tipo funcional del/los ASIC/s que se desean realizar, acaba generando toda la información necesaria para su fabricación (*layout*, vectores de test y especificación del tipo de encapsulado).
3. Fabricación de los chips.

Características específicas del diseño de ASICs

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

La etapa 2 es más o menos común al proceso de diseño de cualquier sistema electrónico convencional; sin embargo, el desarrollo de circuitos integrados tiene unas características muy específicas que hay que tener presentes:

1. **Complejidad** Los ASICs son circuitos que suelen contener decenas o cientos de miles de transistores que hay que dimensionar, interconectar y ubicar en la superficie de silicio disponible.

El diseño de estos grandes circuitos sólo es posible (1) utilizando metodologías de diseño de alto nivel (máquinas algorítmicas, diseño modular, etc) que permitan un diseño jerárquico, a poder ser con módulos reutilizables, y (2) mediante el uso de herramientas software que realicen las tareas menos “imaginativas” como la simulación del circuito, la ubicación de los *layers*, o la automatización de múltiples tareas de verificación.

2. **Coste de los eventuales re-diseños:** Diseñar un ASIC, como ya hemos visto, es caro, y por tanto debemos estar muy seguros del buen funcionamiento del circuito antes de enviar las máscaras a fabricar. ¿Cómo podemos asegurar el correcto funcionamiento del circuito antes de que este exista físicamente? Existen varias estrategias:

- a) Intentar conseguir que el *circuito sea correcto “por construcción”* : Aunque no existe una solución única y definitiva que garantice totalmente la corrección por construcción, si vale la pena aplicar lo que se ha dado en llamar “una buena práctica del diseño”, que no es sino la aplicación de unas reglas de sentido común que a veces pasan desapercibidas. Por ejemplo,

{Automatización}....la probabilidad de introducir errores en el diseño es menor conforme más automatizado está el proceso. Consecuencia... hagamos un uso extensivo de las herramientas CAD.

{Repetitividad}.... Utilicemos siempre que sea posible diseños modulares en los que un o unos pocos módulos básicos se repitan multitud de veces

Características específicas del diseño de ASICs

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

{Regularidad}... busquemos patrones de conexionado muy regulares. Esto es especialmente útil a la hora de distribuir por la superficie de silicio las señales de reloj, o las de alimentación-tierra

- b) *DetECCIÓN Y CORRECCIÓN DE TODOS LOS FALLOS* antes de enviar el circuito a fabricación. Esta es la estrategia más ampliamente utilizada y para la cual se han desarrollado potentes herramientas de ayuda al diseño. Las *herramientas de verificación dinámica* tienen por objeto la comprobación de que el circuito responde a las señales de entrada con los patrones de salida deseados. Incluyen a todo tipo de simuladores. Las *herramientas de verificación estática* tienen por objetivo la comprobación de que la estructura del circuito es la correcta (esto es, que contiene los elementos correctos conectados también correctamente). Se incluyen entre las herramientas de verificación estática los comprobadores de coherencia entre *layout* y circuito lógico/eléctrico (*layout vs schematic*), los verificadores de reglas de diseño (*design rule checkers*), etc. Un tipo especial de verificadores estáticos son los simuladores temporales, que no simulan el comportamiento lógico o eléctrico del circuito sino que calculan los retardos máximos de éste a través de la identificación de los llamados “camino críticos”, caminos desde las entradas a las salidas que producen un retardo mayor.
- c) La tercera opción es el diseño de circuitos capaces de seguir cumpliendo su misión incluso en presencia de fallos; son los *circuitos “tolerantes a fallos”*. Se trata de una opción costosa tanto desde el punto de vista del tiempo de diseño como de la superficie de silicio, que suele reservarse para situaciones en las que es necesario garantizar el buen funcionamiento; p.e. aplicaciones biomédicas en las que el ASIC controla funciones vitales, aplicaciones aeroespaciales, etc.

Características específicas del diseño de ASICs

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

3. **Testabilidad:** El diseño no sólo debe ser correcto, sino que se debe asegurar que cada uno de los chips serán comprobables (testables) uno a uno antes de su puesta en equipo.

Garantizar la testabilidad del ASIC es una tarea cada vez más costosa debido al limitado acceso a la circuitería. La única manera de comprobar toda la circuitería interna al ASIC es enviar señales a través de entradas externas (pines del chip) y comprobar que la salidas obtenidas son las correctas. Dado el elevado número de transistores que constituyen el ASIC y el comparativamente reducido número de pines/pads de entrada/salida, la comprobación de toda la lógica es muy compleja. Tanto es así que se hace necesario introducir lógica adicional (con el consiguiente aumento de la superficie de silicio y disminución de prestaciones) con el único objetivo de hacer testable al circuito. En la 3ª parte de este curso, dedicada al Test de los ASICs y al Diseño para la Testabilidad estudiaremos las implicaciones de todo esto, por ahora baste con dejar establecido que, aunque el test del circuito se realiza cuando éste ya está fabricado, debemos tener presente la problemática del test desde las primeras fases del diseño.

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

Flujo de Diseño

El proceso de diseño “electrónico” del ASIC (flujo de diseño) incluye tres tareas fundamentales (figura 2):

[ver figura >> 02](#)

1. Diseño “electrónico” del ASIC

a) *Diseño de “alto nivel”*

El diseño “electrónico” del ASIC incluye todas aquellos procesos necesarios para, a partir de las especificaciones del circuito definidas previamente, generar el *layout* del mismo a partir del cual se crearán las máscaras.

En primer lugar es necesario diseñar el circuito a nivel lógico o eléctrico (dependiendo de su naturaleza digital, analógica o mixta). Esta es una fase muy compleja en la que el diseñador puede y debe echar mano de metodologías que le ayuden en la concepción y diseño del circuito, como p.e. las máquinas algorítmicas u otras. Habitualmente se parte de un diseño a nivel de grandes bloques que se van refinando cada vez más hasta llegar al nivel de mayor detalle en el que se especifican cada una de las puertas lógicas/transistores que forman el circuito y sus interconexiones.

La simulación del circuito va íntimamente unida a su diseño. En este sentido, sería ideal disponer de herramientas que nos permitiesen simular el circuito conforme lo vamos diseñando, comprobando así “sobre la marcha” el correcto funcionamiento de cada uno de los bloques del circuito. Dado que además, como hemos dicho, los bloques se van “refinando” progresivamente, sería incluso más interesante disponer de herramientas que nos permitiesen simular el circuito a distintos niveles; p.e., estaría bien poder describir inicialmente el circuito a un nivel funcional y simularlo como tal, para posteriormente ir substituyendo la descripción funcional de cada

[ver figura >> 03](#)

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

módulo y poder también simularlo a este nivel, para acabar definiendo el circuito al nivel más bajo posible de puertas lógicas / transistores y simularlo a nivel lógico o eléctrico. La tendencia actual es la simulación multi-nivel, entendiendo esta como la capacidad de simular simultáneamente distintas partes del circuito a distintos niveles.

La evolución de las herramientas CAD/CAE en los últimos años ha sido rápida e intensa. Hasta la década de los 90 las herramientas software iban encaminadas a automatizar (traducir) las tareas más tediosas del diseño de CIs; p.e., programas de captura de esquemas para introducir (dibujar) el esquema lógico/eléctrico en el ordenador, generadores de onda para dibujar las señales de entrada a los simuladores, editores gráficos para dibujar las pistas (*layers*) del CI, etc. En esta aproximación a la que llamaremos “clásica” el objetivo era seguir el flujo de diseño tal como éste se realizaría “a mano”, substituyendo cada tarea individual por un programa que la hiciera automáticamente o que, como mínimo, facilitara su desarrollo. Probablemente el cambio cualitativo más importante en las herramientas CAD/CAE en estos últimos años ha sido el desarrollo de herramientas de síntesis de alto nivel muy íntimamente relacionadas con la simulación del circuito en todas las fases del diseño, tal como se explicaba en el párrafo anterior.

Esta “aproximación actual” es la que se seguirá el semestre que viene en la asignatura de Diseño de CIs II. En este curso de introducción al diseño de CIs vamos a seguir la “aproximación clásica” por razones didácticas; porque creemos que es una aproximación mucho más cercana al “diseño manual” del CI en la que se pueden “ver” procesos que a veces pasan desapercibidos en la aproximación actual por cuanto son transparentes al diseñador.

En la aproximación clásica el diseño de alto nivel queda prácticamente bajo la responsabilidad del diseñador, que debe echar mano de metodologías de diseño no

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

soportadas por el software, como pueden ser las máquinas algorítmicas. El primer paso es la introducción del circuito en el ordenador. Esto puede hacerse de muchas formas, aunque la más convencional de ellas es utilizar un programa de captura gráfica de esquemas ([captura de esquemas](#)) en el que se dispone de una librería de puertas lógicas y dispositivos que pueden colocarse sobre el área de trabajo y conectarse fácilmente. Si se trabaja con una alternativa de diseño no-totalmente-a-la-medida (esto es, con SC o GA o FPGAs), las celdas presentes en la librería de la captura de esquemas tendrán que coincidir con las celdas ofrecidas por el fabricante. La librería de celdas ofertada por el fabricante contiene (a veces de una forma no accesible al usuario) no sólo el “dibujo” (icono) de la puerta lógica sino también su *layout* y una serie de parámetros estáticos y dinámicos necesarios para el o los simuladores.

El resultado de la captura de esquemas, se realice como se realice, es una lista de los componentes (puertas/transistores) del circuito y sus interconexiones que se conoce con el nombre de *netlist*.

b) Simulación

El correcto funcionamiento del circuito capturado anteriormente se comprueba realizando simulaciones de éste mediante el uso de herramientas CAD específicas (simuladores). Existen multitud de simuladores que trabajan a distintos niveles; p.e.,

- Los [simuladores eléctricos](#), también llamados simuladores a nivel circuito o *circuit-level simulators* (tipo SPICE) son capaces de calcular la tensión de cada nodo y la intensidad de cada rama del circuito en cada instante de tiempo en función de las señales de entrada que se especifican, de la descripción del circuito y de los modelos de funcionamiento de los distintos tipos de dispositivos utilizados (básicamente transistores aunque también pueden modelarse otros elementos).

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

Su funcionamiento se basa en el planteamiento y resolución de un sistema de ecuaciones diferenciales que se obtienen de la aplicación de las leyes de Kirchoff al circuito problema. Si bien son simuladores muy precisos en el sentido de que el resultado proporcionado por el simulador es muy cercano al resultado real, la resolución de tales sistemas es computacionalmente costosa, y por tanto lenta. Por ello el uso de estos simuladores se limita a (1) circuitos con un número relativamente pequeño de transistores y (2) circuitos en los que la precisión del resultado deba ser elevada. En la práctica los simuladores eléctricos se utilizan en el diseño de circuitos analógicos, aplicándolos a partes de estos por separado.

- Los **simuladores lógicos** (a nivel de transistor o *switch-level* o a nivel de puertas o *gate-level*) calculan el **estado lógico** (0 o 1) de cada nodo del circuito. Dado que el comportamiento de las puertas y dispositivos se guarda en tablas (al menos parcialmente), no es necesario resolver ningún sistema de ecuaciones diferenciales, lo que simplifica y acelera grandemente la simulación. Como contrapartida, los resultados son mucho más imprecisos que los generados por los simuladores eléctricos por cuanto estos sólo son capaces de calcular valores lógicos.
- Los **simuladores funcionales y/o de comportamiento** utilizan estructuras de datos y de control para modelar o bien la estructura (simulación funcional) o bien simplemente el funcionamiento (simulación comportamental) del circuito. En la práctica no se suele distinguir entre ambos tipos de simulación y suelen recibir el nombre genérico de simuladores funcionales.

Como ya se ha dicho, la tendencia actual es el uso de simuladores multi-nivel capaces de realizar simulaciones sobre un mismo circuito a nivel funcional, lógico e incluso eléctrico si es necesario, permitiendo el modelado del ASIC a un nivel alto (funcional) y la substitución y simulación paulatina de partes del circuito representadas a nivel funcional por representaciones a niveles más bajos (a nivel de puertas lógicas o de transistores si así lo requiere el módulo).

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

c) *Layout* o dibujo de las máscaras

Una vez el circuito se ha diseñado a nivel lógico/eléctrico y estamos seguros de su buen funcionamiento, se deben dibujar todos y cada uno de los *layers* para acabar teniendo la descripción de las máscaras o *layout*.

En las primeras épocas del diseño de CIs en las que no se disponía de herramientas CAD potentes, este era el paso que requería más tiempo y en el cual era más probable introducir errores que acababan invalidando el circuito. Afortunadamente hoy en día existen potentes programas capaces de generar automáticamente el *layout* a partir de la descripción lógica o eléctrica del circuito.

En las FPGAs (que no requieren máscaras) el proceso equivalente a éste recibe el nombre de “*technology mapping*”, y consiste en la definición de todos los elementos programables del chip (sean fusibles, antifusibles, dispositivos EPROM o simples celdas de memoria RAM) que acabarán configurando los dispositivos y las interconexiones de éste. Estos temas se comprenderán perfectamente en el curso de Síntesis.

En todo el resto de alternativas de diseño que si requieren máscaras se utilizan programas de ubicación y conexionado (*placement&routing*) capaces de generar el *layout* automáticamente, y permitiendo al diseñador un cierto grado de interacción. Lo que el diseñador puede o no puede forzar en el proceso de *placement&routing* depende del programa específico; pero en general el diseñador puede hacer cosas como ...

... forzar la ubicación de un cierto módulo (p.e., de una PLA, o una RAM, o de una parte concreta del circuito, etc.) en un lugar determinado,

... forzar la ubicación (el orden de colocación) de los pads,

... determinar el orden en el que se dibujarán las conexiones, definiendo señales críticas, etc.

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

d) Verificaciones

Dada la complejidad del circuito, el proceso de diseño debe incluir tantas comprobaciones como sean posible de que no se han introducido errores y así, una vez dibujado el *layout*, se pasan diversos filtros de comprobación.

Llegados a este punto vale la pena resaltar un detalle que tal vez haya pasado desapercibido: La fase de captura de esquemas permite introducir en el ordenador la estructura lógica o eléctrica del circuito, pero no contiene ninguna información sobre la geometría de las conexiones finales. El hecho de que una conexión sea más larga que otra en el esquemático no quiere decir que la pista correspondiente en el *layout* sea también más larga, o más ancha, o con pocos o muchos ángulos; esta información sólo se conoce cuando se ha realizado el *placement&routing*.

La pregunta que surge es ... entonces, ¿cómo puede el simulador calcular, por ejemplo, los tiempos de subida y bajada de la señal si no conoce las capacidades asociadas a los nodos de salida de las puertas (recordemos que la capacidad de salida viene dada por la superficie de la pista que conecta dicha puerta con las puertas las que ataca)?. Evidentemente el simulador no tiene información de la geometría de las pistas, así que lo único que puede hacer es *estimar* estadísticamente el tamaño de éstas en el circuito final, y en función de esta estimación calcular los retardos.

Una vez realizado el *placement&routing*, el ordenador ya conoce la geometría del circuito y puede calcular con una mayor precisión los tiempos de respuesta de cada dispositivo. Es por ello que tras la fase de *placement&routing* se vuelve a simular el circuito para ver si la estimación hecha en la simulación sobre el esquemático era lo suficientemente buena o es necesario rediseñar alguna parte del circuito.

Si los resultados obtenidos en todo este proceso son satisfactorios, el *layout* se manda a fabricación para que se generen las máscaras y con ellas el ASIC. Si los resultados de la simulación *post-layout* difieren substancialmente de los obtenidos

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

sobre el esquemático, será necesario revisar la generación del *layout* (*placement&routing*), o el diseño en el peor de los casos.

La figura 4 resume el diagrama de flujo de un ASIC desde la perspectiva “clásica”. Aunque este proceso se ha explicado linealmente, en el sentido de que primero se hace la captura del esquemático, luego la simulación y luego la ubicación y conexionado, en la práctica las cosas no suceden tan “elegantemente”; p.e., en las primera simulaciones se detectan errores que obligan a modificar el esquemático; el *placement&routing* genera un *layout* que es demasiado grande, o demasiado largo y estrecho, y para reducirlo se nos ocurren nuevas modificaciones al esquemático; o la simulación *post-layout* no es satisfactoria, etc. Todos estas “vueltas atrás”, múltiples y habitualmente frecuentes, se han representado en la figura 4 por flechas de color violeta.

[ver figura >> 04](#)

2. Definición de la estrategia de test

En el desarrollo de cualquier sistema electrónico no basta con diseñarlo y construirlo; además es necesario demostrar que funciona correctamente. Para ello se debe preparar una estrategia de test que nos permita comprobar cada una de las unidades que se fabricarán. En el caso de los ASICs esto es más importante si cabe debido a los altos costes de producción de las máscaras.

En toda oblea fabricada hay un cierto número de dados que contienen defectos que afectan a su funcionamiento. Para detectar estos dados y desecharlos el fabricante realiza una serie de comprobaciones sobre los parámetros eléctricos y temporales de los circuitos obtenidos; p.e., comprueba la tensión umbral de los transistores, los niveles de 0 y 1 lógicos que se obtienen a la salida de las puertas lógicas, la

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

frecuencia máxima de funcionamiento de un “*ring-oscilator*” para medir tiempos de retardo, etc.

Todas estas comprobaciones se realizan sobre unos motivos de test que el fabricante introduce en la oblea junto a los dados del propio circuito que se está fabricando pero, para testear cada uno de los dados, el fabricante necesita conocer qué hacen esos circuitos, y esta es una información que sólo tiene el diseñador. Para resolver este problema el fabricante pone como condición para la fabricación del circuito que el diseñador le pase:

- El *layout* del circuito, para poder fabricar las máscaras, y
- Un conjunto de **vectores de test** que demuestren el funcionamiento correcto del ASIC.

y se compromete a suministrar una serie de chips (prototipos) que cumplen con este conjunto de vectores de test.

Aunque el test los realiza el fabricante, **la generación de los vectores de test es responsabilidad del diseñador**. En la asignatura de Test y Diseño para la Testabilidad se estudia cómo se generan estos vectores de test y toda la problemática asociada. En este punto basta con indicar que el diseñador debe generar un conjunto de vectores de test adecuados al circuito que está desarrollando, en el sentido de que dicho conjunto de vectores de test debe ser capaz de detectar, en el caso ideal, todos los posibles fallos que se puedan dar en el circuito, o al menos los que sean más frecuentes. En la realidad nunca es posible generar un conjunto de vectores que detecten *todos* los fallos posibles, sino que nos tendremos que conformar con conjuntos de vectores de test que proporcionen una “buena” cobertura (se llama **cobertura** al porcentaje de fallos que detecta el conjunto de vectores de test).

Flujo de Diseño

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

3. Selección del encapsulado

Finalmente, dependiendo del número de entradas y salidas del circuito, su consumo de potencia, su tamaño y de las restricciones de espacio que imponga la aplicación a la que va destinada el ASIC, será necesario decidir cual es el encapsulado más adecuado al ASIC en desarrollo. El encapsulado (lo veremos con más detalle en el capítulo 7) tiene una repercusión económica importante en los costes finales debido a que se trata de costes recurrentes, esto es, el coste del “*package*” unitario debe multiplicarse por el número de unidades (chips) de la serie. Por esta razón la selección del encapsulado debe realizarse cuidadosamente.

La aproximación actual y los lenguajes de descripción hardware (HDL)

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

Como ya se ha dicho, la evolución/revolución de las herramientas CAD/CAE en los últimos años ha tenido como consecuencia el desarrollo de lenguajes de descripción hardware y simuladores multi-nivel que han modificado sensiblemente el enfoque de cómo se debe diseñar un ASIC de complejidad media o alta. Estas nuevas herramientas tiene su mayor incidencia en las partes “altas” del flujo de diseño, recogiendo incluso las fases de definición de especificaciones y particionado del sistema. Aunque para comprender en profundidad la potencia de este enfoque se necesitan unos conocimientos sobre estos lenguajes y simuladores de los que en este curso de introducción todavía no disponemos, creo que vale la pena presentar muy someramente la concepción más actual del flujo de diseño, insistiendo de nuevo en que se comprenderá mucho mejor en asignaturas sucesivas.

La figura 5 resume un flujo de diseño “*top-down*”. A partir de la idea de lo que se desea implementar se debe proceder a definir las especificaciones. Esta era (y a veces todavía es) una etapa poco formalizada que se ha visto beneficiada por la llegada de los lenguajes de descripción hardware al permitir definir no sólo las especificaciones funcionales del circuito sino también las especificaciones del entorno en el que el sistema deberá trabajar. Con estos dos modelos ya se pueden realizar simulaciones funcionales que servirán para refinar y depurar las especificaciones, así como evaluar las mejores alternativas de particionado del sistema.

[ver figura >> 05](#)

A continuación se inicia un proceso de refinamiento gradual (diseño de alto nivel) en la descripción del circuito hasta alcanzar un nivel arquitectural o, en los sistemas totalmente digitales, un nivel RTL (nivel de transferencia de registros) que sea directamente sintetizable mediante procesos/herramientas automáticas. La automatización de esta fase de refinamiento gradual desde el nivel funcional al arquitectural está actualmente en vías de desarrollo. Este paso recibe el nombre de **síntesis comportamental**.

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

La aproximación actual y los lenguajes de descripción hardware (HDL)

Se pueden distinguir varias etapas en la síntesis comportamental, no todas resueltas todavía por las herramientas CAE:

- Síntesis a nivel de transferencia de registros: Determina los elementos de memoria y el conjunto de ecuaciones lógicas que gobernarán el funcionamiento del circuito
- Síntesis lógica que se encarga de optimizar la implementación de las ecuaciones lógicas (minimización de funciones, asignación y reducción de estados, etc)
- Implementación de estas ecuaciones sobre celdas de la biblioteca (“mapeo tecnológico”).

El resultado de este proceso de síntesis será una lista de componentes e interconexiones similar a la que, en la aproximación clásica, se obtiene de la captura de esquemas (*netlist*). A partir de este punto el flujo de diseño pasa por los mismos pasos que en la aproximación clásica: Dibujo del *layout* a partir de herramientas de *place&route*, verificaciones incluyendo la simulación *post-layout*, selección del encapsulado, etc. La definición de los vectores de test se contempla en la fase de síntesis comportamental.

Finalmente hay que decir que las herramientas de síntesis de alto nivel de las que se dispone hoy en día están dedicadas prácticamente en su totalidad a la síntesis de circuitos digitales y síncronos. La automatización de la síntesis de circuitos analógicos está todavía “en pañales”, aunque se comienzan a vislumbrar algunas herramientas/lenguajes para ello como por ejemplo el VHDL-AMS.

[ver figura >> 05](#)

Capítulo 5: Flujo de Diseño

Elena Valderrama

Capítulos



Introducción

Características específicas del diseño de ASICs

Flujo de Diseño

La aproximación actual y los lenguajes de descripción hardware (HDL)

Resumen

Resumen

En este capítulo hemos visto el proceso de diseño de un sistema electrónico basado en ASICs. Este proceso de diseño pasa por dos fases bien diferenciadas:

- Una *primera fase* de estudio de la viabilidad de la propuesta, de definición de especificaciones y de selección de las alternativas y tecnologías más adecuadas a la funcionalidad que deseamos obtener y a los requerimientos económicos, y
- Una *segunda fase* en la que se trabaja fundamentalmente con el ordenador y en la cual se diseña el circuito, se dibuja la geometría de las máscaras y se generan los vectores de test.

Esta segunda fase se conoce bajo el nombre de **flujo de diseño**, y las etapas que lo componen están resumidas en la figura 4.

Finalmente, en la figura 5 se han introducido las tendencias que imperan actualmente en el diseño de ASICs, que serán revisadas con más profundidad en las asignaturas sucesivas.

[ver figura >> 04](#)

[ver figura >> 05](#)

Fin del capítulo 5

Figura 1

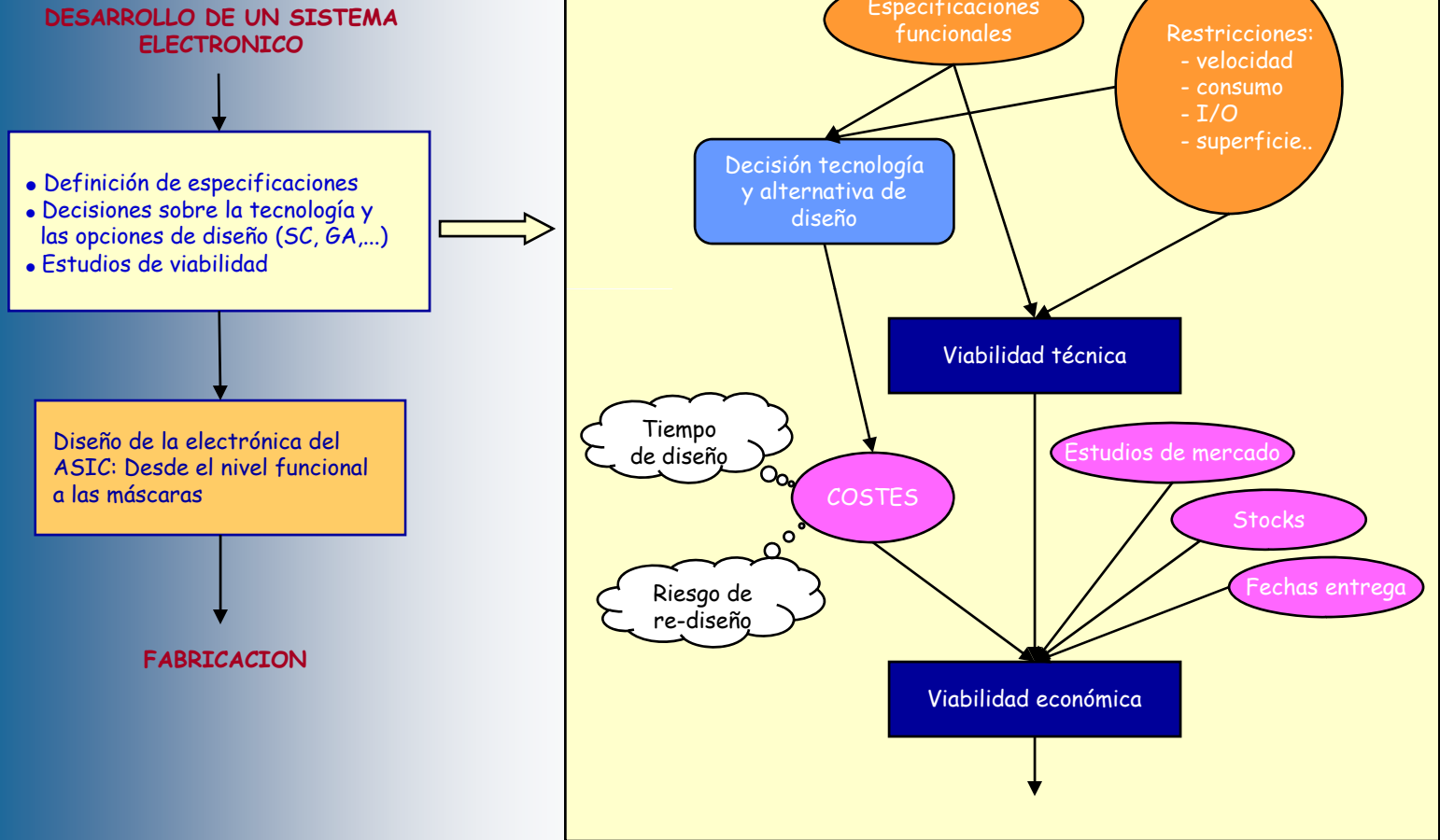


Figura 2

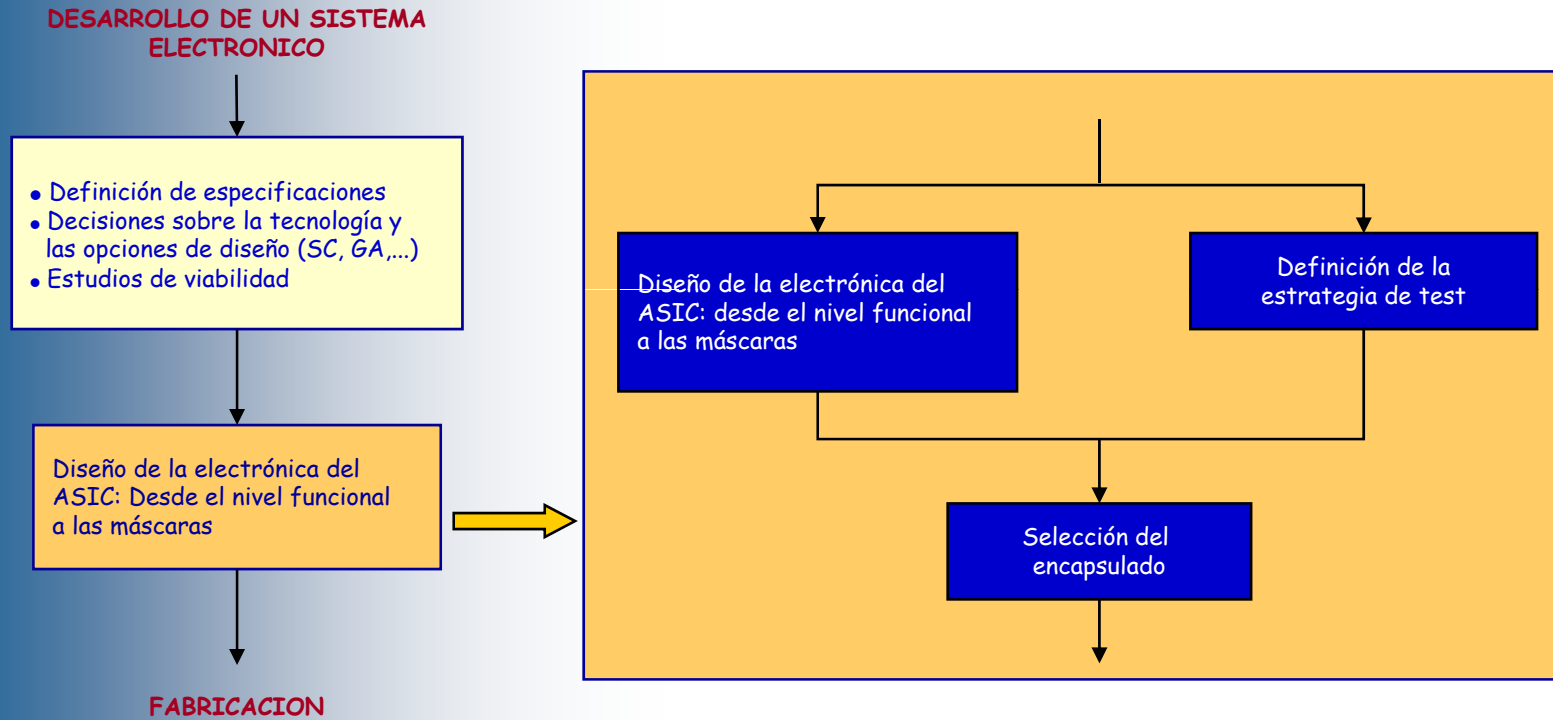


Figura 3

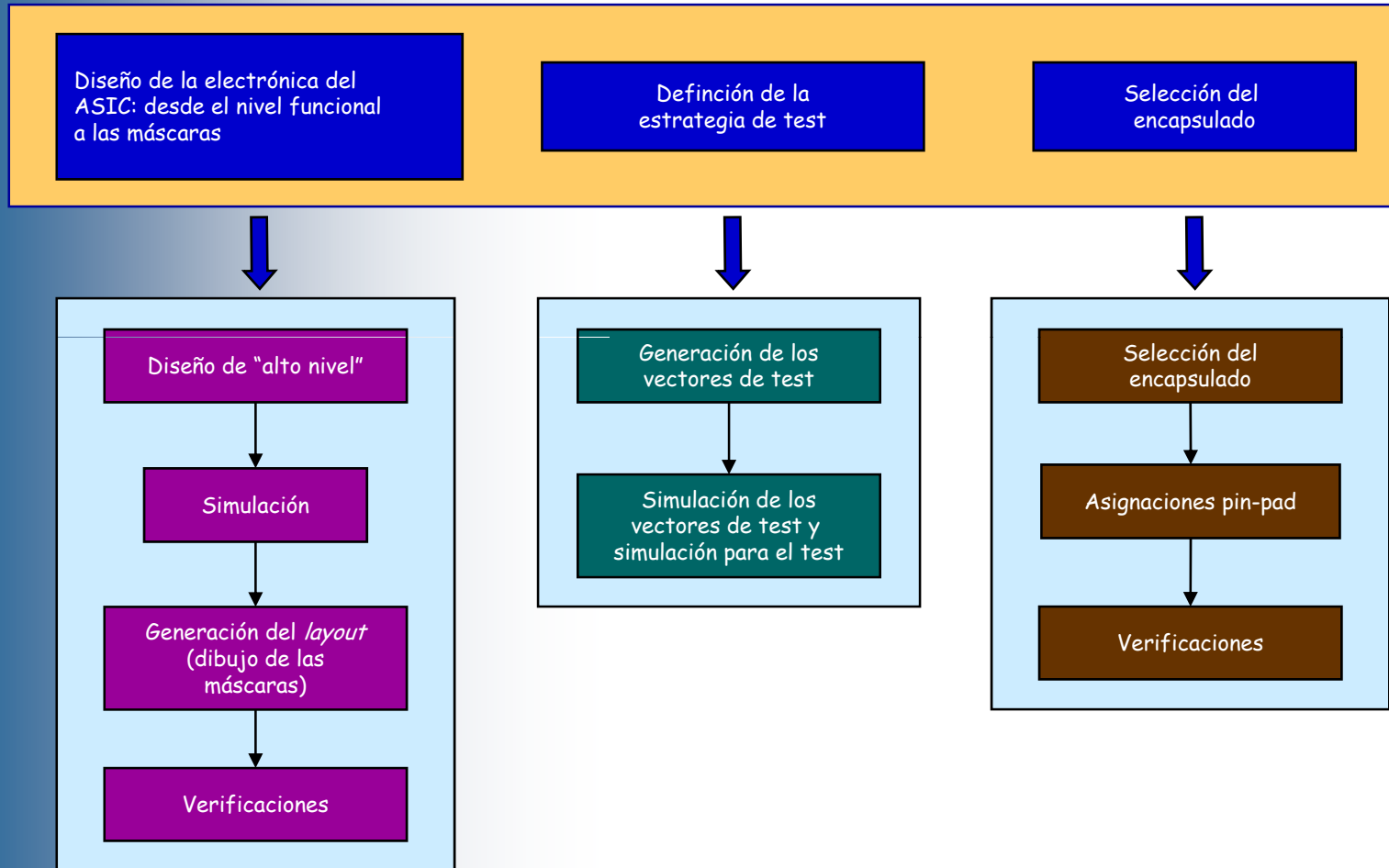


Figura 4

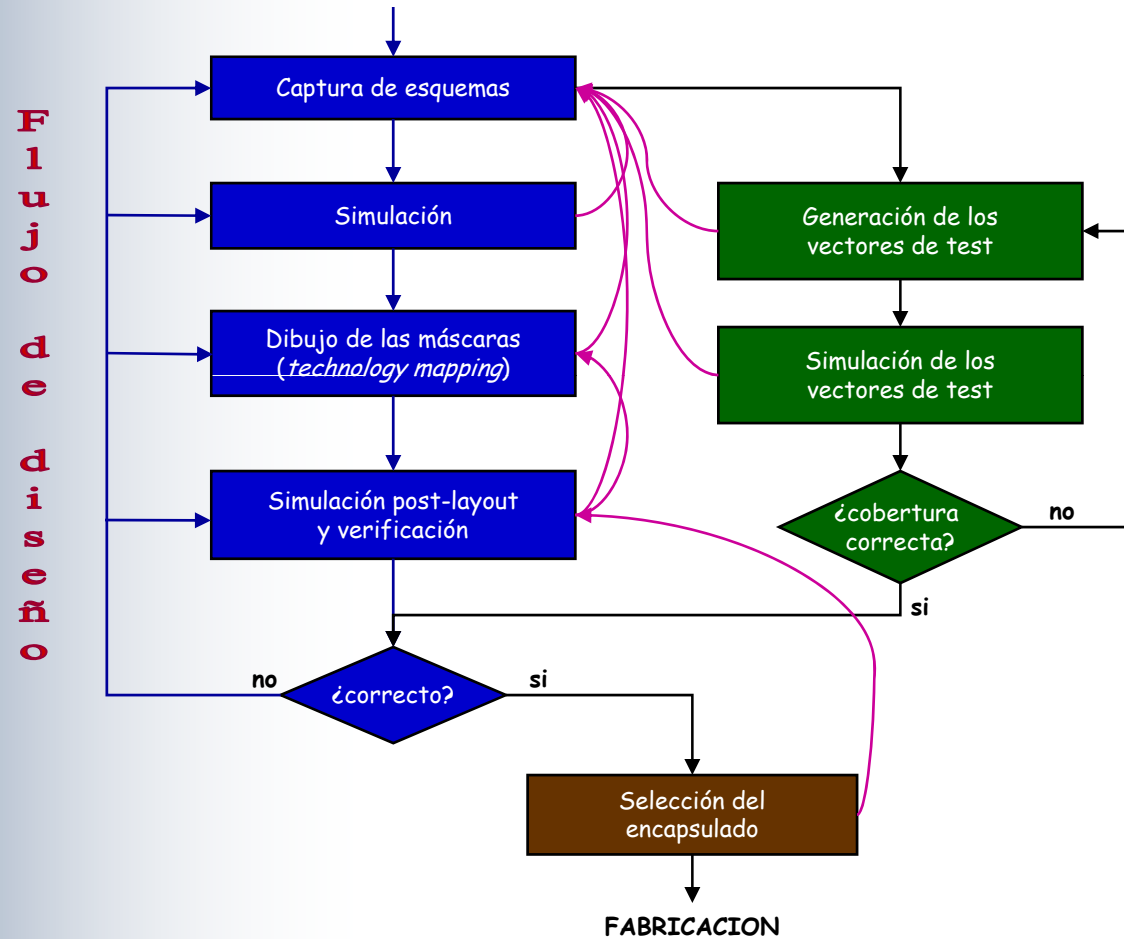
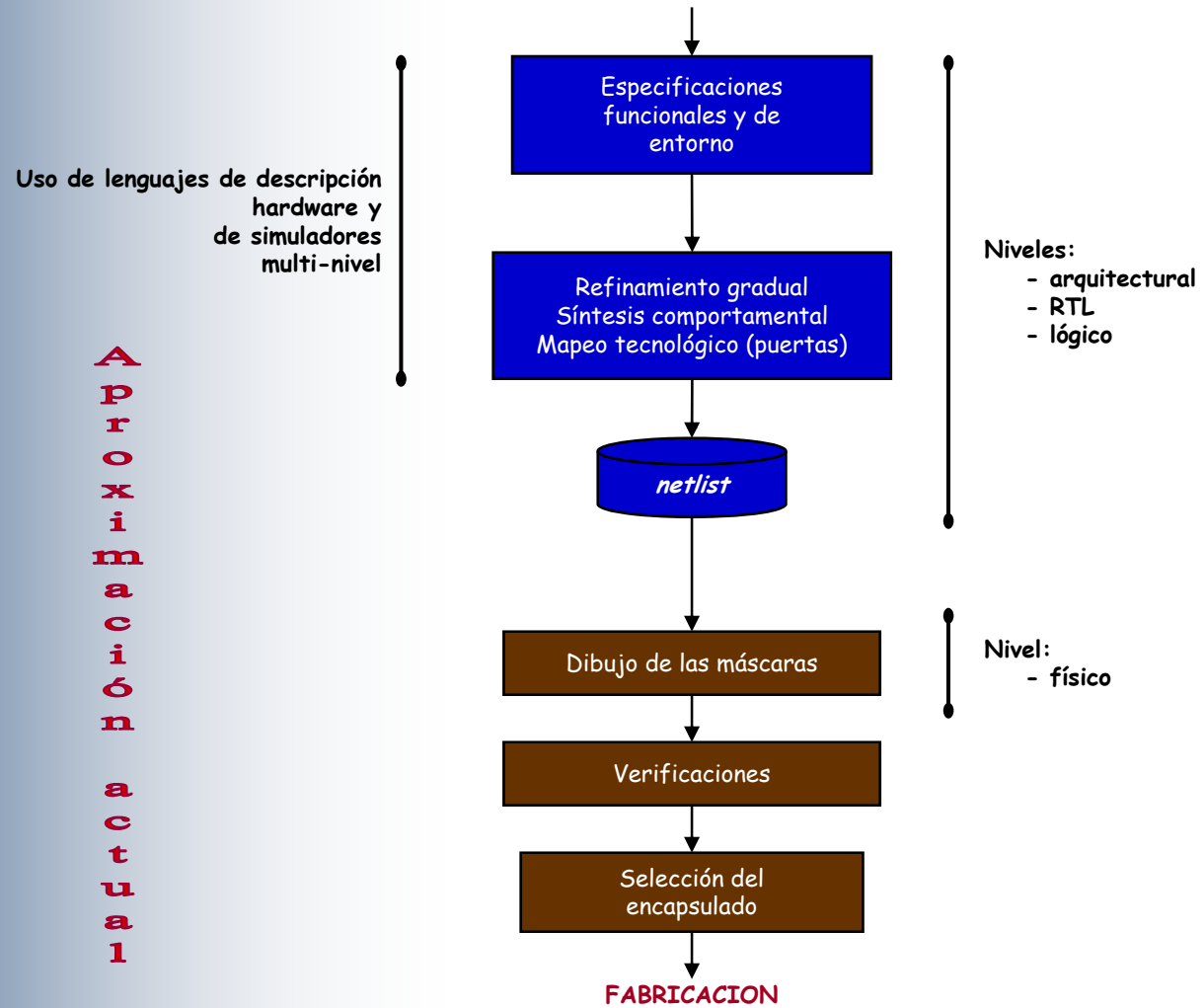


Figura 5



Fin del capítulo 5