

## Introducción al Diseño de CIs

Universitat Autònoma de Barcelona

Curso académico 2003-04

Elena Valderrama

## Capítulo 3 : Electrónica de las puertas lógicas y de los elementos de memoria

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Introducción

En este capítulo se estudiarán las puertas lógicas y los elementos de memoria desde el punto de vista de su implementación integrada, haciendo especial hincapié en el impacto del dimensionamiento de los transistores en los tiempos de respuesta y consumo del circuito.

*Contenido del capítulo:*

Módulos sin memoria (combinacionales)

Circuitos de tipo regenerativo

Lógica CMOS-Complementaria

Lógica pseudo-NMOS

Lógica dinámica

Circuitos no-regenerativos

Módulos con memoria

El punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Módulos combinacionales

Un módulo combinacional es un circuito lógico en que la salida en el instante de tiempo  $t$  depende única y exclusivamente del valor que toman sus entradas en ese mismo instante  $t$ . Los módulos combinacionales implementan funciones booleanas.

Todas las puertas lógicas pertenecen a esta categoría, así como su generalización, las PLAs. En este apartado se estudiará su implementación a través de:

1. Circuitos de tipo regenerativo
2. Circuitos de tipo no-regenerativo

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Circuitos regenerativos

Los circuitos regenerativos implementan las puertas lógicas conectando el nodo de salida a  $V_{DD}$  ( a través de uno o varios transistores) o a tierra (ídem) dependiendo de la combinación de los valores de las entradas. Así por ejemplo, si los valores de las señales de entrada corresponden a un 1 de la función, el nodo de salida quedará físicamente conectado a  $V_{DD}$  a través de un cierto número de transistores y alcanzará por tanto un valor de tensión cercano a  $V_{DD}$ , interpretándose como un 1 lógico.

La ventaja de los circuitos regenerativos, como se verá más adelante, es que se alcanza el nivel “correcto” de tensión de salida independientemente del valor de las tensiones de entrada (siempre y cuando, por supuesto, los niveles de entrada estén dentro de los límites del 0 o del 1 lógico).

En este apartado se estudia la implementación de puertas lógicas mediante circuitos de tipo regenerativo en tecnología CMOS. Seguiremos tres filosofías diferentes: (1) la aproximación de la lógica CMOS-complementaria, que requiere  $k$  transistores-n y  $k$  transistores-p para implementar una puerta lógica de  $k$  entradas, (2) la lógica pseudo-NMOS que requiere  $k$  transistores-n y un único transistor-p, pero tiene un coste mayor en consumo y (3) las lógicas dinámicas, de las que existen múltiples variantes, que ofrecen un consumo moderado y un bajo número de transistores a cambio de una mayor dificultad de sincronización que suele llevar a una velocidad reducida.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica CMOS-complementaria

En la figura 1 se puede ver la filosofía general de implementación de una puerta en lógica CMOS-complementaria: El nodo de salida (out) queda conectado al nodo de alimentación ( $V_{DD}$ ) a través de un conjunto de transistores-p, y queda conectado al de tierra (Gnd) a través de un conjunto de transistores-n, todos ellos controlados por las entradas (*in*) a la puerta lógica. Los bloques de transistores p y n están interconectados de manera que, cuando el conjunto de valores de entrada corresponde a un 1 de la función, la red de transistores-p se pone en conducción dejando pasar una corriente desde  $V_{DD}$  hacia el nodo de salida, mientras que la red de transistores-n se pone en corte impidiendo que dicha corriente drene a tierra. El resultado neto de esta acción es que la capacidad del nodo de salida se carga a una tensión cercana a  $V_{DD}$ , cosa que se interpreta como un 1 lógico.

[ver figura >> 01](#)

La red de transistores-p implementa la función  $f(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n)$  :

Cuando las entradas (representadas por las variables  $x_1, x_2, \dots, x_n$ ) toman una combinación de valores que hacen 1 a la función booleana, las líneas de entrada a la puerta lógica toman el valor 0 (esto es, están a una tensión cercana a 0 V), y por tanto los transistores-p se ponen en conducción/saturación, dejando pasar la corriente de  $V_{DD}$  al nodo de salida *out*.

La red de transistores-n implementa la función  $\bar{f}(x_1, x_2, \dots, x_n)$  :

Cuando todas las entradas toman una combinación de valores que hacen 0 a la función booleana, las líneas de entrada toman en valor 1 (tensión cercana a  $V_{DD}$ ) y los transistores-n se ponen en conducción/saturación, descargando el nodo de salida a 0.

Siguiendo esta línea de razonamiento, a la derecha de la figura se puede ver la

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica CMOS-complementaria

implementación en lógica CMOS-complementaria de una puerta AND-OR-I. Esta puerta realiza la función lógica:

$$f(a,b,c,d) = \overline{a.b + c.d}$$

Vemos que la red de transistores-p realiza la función:

$$f(\overline{a}, \overline{b}, \overline{c}, \overline{d}) = \overline{\overline{a.b + c.d}} = (\overline{a.b}) . (\overline{c.d}) = (a + b) . (c + d)$$

[ver figura >> 01](#)

Nótese que, en el circuito correspondiente, cuando  $A$  es cero o  $B$  es cero, y  $C$  o  $D$  son cero, siempre queda abierto un camino de  $V_{DD}$  a  $out$ , y queda cerrado cualquier paso de  $out$  a tierra. P.e., para  $A=0$ ,  $B=1$ ,  $C=0$  y  $D=0$  quedan en conducción los transistores  $p1$ ,  $p3$ ,  $p4$  y  $n3$ , y quedan cerrados los transistores  $p2$ ,  $n1$ ,  $n2$  y  $n4$ .

Con la red de transistores-n se procede de una forma similar. Debe realizar la función:

$$\overline{f}(a,b,c,d) = a.b + c.d$$

Tal como se han dispuesto los transistores-n, cuando  $A$  y  $B$  o  $C$  y  $D$  son 1 se abre el camino desde  $out$  a tierra. P.e., para  $A=0$ ,  $B=1$ ,  $C=1$  y  $D=1$  se abre el camino  $n2$ - $n4$ , y se cierra todo camino de  $out$  a tierra ( $p2$ ,  $p3$  y  $p4$  en corte).

### Puertas NAND y NOR

El proceso descrito es aplicable a cualquier puerta lógica. La figura 2 muestra el esquema eléctrico de una puerta NAND y de una puerta NOR de dos entradas. La puerta NAND se compone de dos transistores-p en paralelo y dos transistores-n en serie. La generalización a  $n$  entradas es simple, basta con conectar  $n$  transistores-p en paralelo de  $V_{DD}$  al nodo de salida y  $n$  transistores-n en serie desde el nodo de salida a tierra.

[ver figura >> 02](#)

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

Ingeniería Informática

## Lógica CMOS-complementaria

Sólo cuando las dos entradas  $A$  y  $B$  tomen el valor 1 se abrirá el camino de los transistores-n desde  $out$  hasta tierra, a la vez que se cortan todos los caminos de  $V_{DD}$  a  $out$ . En consecuencia, la salida  $out$  tomará el valor 0 si y sólo si  $A=B=1$ ; cualquier otra combinación de valores de  $A$  y  $B$  pondrá en conducción uno al menos de los transistores-p (camino  $V_{DD}$ -out cortado) y cerrará el camino out-tierra, dando un 1 como salida.

La puerta NOR se compone de dos transistores-p en serie y dos transistores-n en paralelo. Su funcionamiento es análogo al de la puerta NAND.

### Tiempo de respuesta de una puerta NAND

El **tiempo de subida** es el tiempo que requiere la puerta para cargar el nodo de salida desde 0 volts a una tensión cercana a  $V_{DD}$  en el peor caso (más exactamente, hasta que la tensión del nodo de salida alcanza el 80% de  $V_{DD}$ ). Suponiendo que la capacidad del nodo de salida (considerado éste como las pistas de salida propias de la celda más la carga asociada a la salida) es  $C_{load}$ , el tiempo de subida se calcula de manera análoga a como se hizo al estudiar el inversor CMOS, teniendo en cuenta que el peor caso es aquél en el que la corriente que cargará el nodo de salida pasa por un único transistor-p, es decir, que una sola entrada toma el valor 0.

[ver figura >> 03](#)

Suponiendo que ambos transistores-p se diseñan con el mismo tamaño  $W_p$  y  $L_p$ , el tiempo de subida de la puerta NAND, en el peor caso, es directamente proporcional a  $L_p$  y a  $C_{load}$ , e inversamente proporcional a  $W_p$ , esto es, si se desea mejorar el tiempo de subida de la puerta hay que disminuir el factor de forma  $W_p/L_p$  de los dos transistores-p.

$$t_{subida} = K_{subida} \cdot \frac{L_p}{W_p} \cdot C_{load}$$

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

Ingeniería Informática

## Lógica CMOS-complementaria

El **tiempo de bajada** es el tiempo que requiere la puerta para descargar el nodo de salida desde  $V_{DD}$  (salida=1) a una tensión cercana a 0 volts en el peor caso (ambos transistores-n en conducción). Suponiendo de nuevo que la capacidad del nodo de salida es  $C_{load}$ , y que ambos transistores-n tienen el mismo tamaño  $W_N$  y  $L_N$  (esta hipótesis simplifica los cálculos), el tiempo de bajada se calcula teniendo en cuenta que ambos transistores trabajan en la zona lineal, y se obtiene:

$$t_{bajada} = K_{bajada} \cdot \frac{2 \cdot L_N}{W_N} \cdot C_{load} = 2 \cdot K_{bajada} \cdot \frac{L_N}{W_N} \cdot C_{load}$$

El tiempo de bajada es directamente proporcional a la capacidad  $C_{load}$  e inversamente proporcional a  $2 \cdot L_N / W_N$ . Ambos resultados pueden generalizarse fácilmente para el caso de una puerta NAND de  $n$  entradas:

$$t_{subida} = K_{subida} \cdot \frac{L_P}{W_P} \cdot C_L \quad t_{bajada} = n \cdot K_{bajada} \cdot \frac{L_N}{W_N} \cdot C_L$$

### Tiempo de respuesta de una puerta NOR

El análisis de los tiempos de subida y bajada de una puerta NOR es muy similar al realizado con la puerta NAND si se tiene en cuenta que la corriente que sube el nodo de salida a  $V_{DD}$  pasa siempre por los dos transistores-p y que la corriente que descarga el nodo de salida a 0 pasa, en el peor de los casos, por un único transistor-n. Los tiempos de subida y bajada acaban siendo proporcionales a:

$$t_{subida} = 2 \cdot K_{subida} \cdot \frac{L_P}{W_P} \cdot C_L \quad t_{bajada} = K_{bajada} \cdot \frac{L_N}{W_N} \cdot C_L$$



### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica CMOS-complementaria

La generalización para puertas NOR de  $n$  entradas es también válida, de forma que:

$$t_{subida} = n \cdot K_{subida} \cdot \frac{L_P}{W_P} \cdot C_L \qquad t_{bajada} = K_{bajada} \cdot \frac{L_N}{W_N} \cdot C_L$$

[ver figura >> 04](#)

### Niveles de tensión en los circuitos regenerativos

Llegados a este punto es fácil entender porqué a estos circuitos se les denomina “regenerativos”: El nodo de salida acaba siempre conectado a  $V_{DD}$  o a tierra, a través de unos transistores que, cuando están en conducción, presentan una resistencia relativamente baja al paso de corriente. Por tanto, independientemente del valor preciso de las tensiones de entrada, y con la única condición de que su nivel sea el suficiente para poner en conducción o en corte el transistor correspondiente, el nodo de salida alcanza siempre una tensión cercana a  $V_{DD}$  o a tierra. En este sentido se dice que “regenera” la señal a la salida.

La figura 5 muestra cómo varía la tensión de salida en un ejemplo sencillo de dos inversores puestos en serie. Esta figura se comenta en el apartado “Comparación entre ambas aproximaciones” (circuitos regenerativos vs. circuitos no-regenerativos).

[ver figura >> 05](#)

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

# Lógica CMOS-complementaria

## Consumo de potencia en los circuitos regenerativos

Los circuitos CMOS-complementarios tienen un consumo de potencia extremadamente bajo. La potencia consumida tiene dos componentes: La **potencia estática** que consume el circuito en estado estable, sin que ocurran cambios de estado (valores lógicos) en sus nodos, y la **potencia** o **consumo dinámico**, fruto de estos cambios de estado.

En el estado estacionario, un circuito CMOS-complementario no consume prácticamente potencia por cuanto ninguna corriente “viaja” por el circuito. La potencia estática se origina de las pequeñas corrientes de fugas de los distintos dispositivos que constituyen el circuito, y puede calcularse como:

$$P_{estática} = \sum_{dispositivos} I_{leakage} \cdot V_{DD} \approx 0$$

Las corrientes “significativas” se originan en el circuito sólo cuando hay cambios en los valores de las señales de las entradas a las puertas lógicas, que cambian el estado de los nodos de salida de éstas. Pasar el nodo de salida de 0 a 1 requiere cargar la capacidad asociada a éste desde casi 0 volts a casi  $V_{DD}$ . Aunque la corriente necesaria para cargar la capacidad pueda llegar a ser alta, está muy limitada en el tiempo, desapareciendo en cuanto el nodo de salida se ha cargado. El mismo razonamiento puede hacerse para la descarga del nodo de salida cuando éste pasa de  $V_{DD}$  a cero (obsérvese la gráfica de la figura 6). Además de este consumo provocado directamente por los cambios de estado de los nodos de salida, durante estos cambios se producen pequeños cortocircuitos internos en cada una de las puertas lógicas, provocados por pequeños desfase en los cambios de valor de las entradas. El consumo dinámico tiene, por tanto, dos orígenes:

[ver figura >> 06](#)

1. La carga de los nodos de salida de las puertas, y

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica CMOS-complementaria

- Los cortocircuitos internos, que ocurren durante los breves instantes en los que, debido a la tensión de puerta, tanto los transistores p como los n conducen.

En ambos casos estas corrientes son muy puntuales en el tiempo, desapareciendo rápidamente. Cada una de estas componentes se puede aproximar a:

$$P_{dinámica} = P_{carga} + P_{cortocircuito}$$

$$P_{carga} = C_L \cdot f \cdot V_{DD}^2$$

$$P_{cortocircuito} = \frac{\beta}{12} \cdot (V_{DD} - 2 \cdot V_T)^3 \cdot t_{respuesta} \cdot f$$

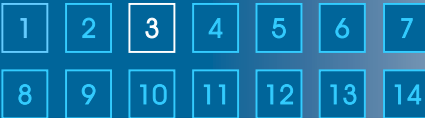
Donde  $C_L$  representa la capacidad promedio del nodo de salida,  $f$  la frecuencia de funcionamiento del circuito y  $V_T$  la tensión umbral de los transistores; se supone además que los distintos dispositivos del circuito se han diseñado con los tamaños de transistor iguales y que los tiempos de subida y bajada son simétricos. Nos vamos a justificar aquí la obtención de estas fórmulas; pero es interesante conocerlas por cuanto nos dan "pistas" de cómo se puede reducir el consumo de potencia:

- El consumo depende de  $V_{DD}^2$ ; por tanto, la tensión de alimentación es el primer factor a reducir si se desea minimizar el consumo del circuito.
- El consumo depende de la frecuencia de funcionamiento; en consecuencia los circuitos más rápidos consumen más (de ahí que sea común la definición de un factor de mérito = velocidad\*consumo)
- El consumo depende de  $C_{load}$ . Es importante por tanto dimensionar correctamente las pistas y los transistores (en este punto hay que tener cuidado en no generar densidades de corriente locales muy elevadas puesto que favorecen la electromigración que puede llegar a destruir a largo plazo las pistas de metal)

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica CMOS-complementaria

4. El consumo depende de el tiempo de respuesta de las puertas; conviene los tiempos de subida y bajada sean lo menor posibles. Los tiempos de respuesta se reducen aumentando el factor de forma de los transistores y por tanto la superficie de silicio necesaria para implementarlo; así, mejores tiempos de respuesta significan, en general, menor densidad de integración y mayores valores de  $C_{load}$ .
5. Finalmente, el consumo depende de las  $\beta$ s de los transistores. Valores pequeños llevan a consumos pequeños, pero también a pobres tiempos de respuesta.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica pseudo-NMOS

Los circuitos CMOS-complementarios ofrecen unos consumos muy bajos pero requieren un número relativamente alto de transistores para implementar las puertas lógicas básicas. Como norma general, toda puerta de  $n$  entradas requiere  $2.n$  transistores. La lógica pseudo-NMOS persigue alcanzar mejores densidades de integración reduciendo a 1 el número de transistores-p necesarios para implementar cualquier función. La idea, que puede verse en la figura 7, es la siguiente:

[ver figura >> 07](#)

La red de transistores-n implementa, de nuevo, la función  $\bar{f}(x_1, x_2, \dots, x_n)$

Cualquier combinación de valores de las entradas que generen 1s en la función corta todos los caminos del nodo de salida a tierra. Puesto que el nodo de salida está conectado a  $V_{DD}$  a través de un transistor-p que siempre conduce (puerta a tierra), el nodo de salida se carga a  $V_{DD}$  (caso 1 de la figura 7).

Cuando la combinación de valores de las entradas es tal que generan un 0 de la función se abre algún camino desde *out* a tierra a través de la red de transistores-n y se produce un cuasi-cortocircuito alimentación-tierra puesto que el transistor-p siempre conduce. El transistor-p junto al camino *out*-tierra establecido en la red de transistores-n se comportan como un divisor de tensión, llevando al nodo de salida a una tensión  $V$ , cuyo valor concreto dependerá de las resistencias de los transistores p y n (ver el caso 2 de la figura 7). Para que la puerta lógica funcione correctamente es necesario que la tensión  $V$  del nodo de salida tome un valor muy cercano a 0.

Si dibujásemos la curva de transferencia (gráfica de la tensión de salida en función de la tensión de entrada) para un inversor pseudo-NMOS, para distintos tamaños del transistor p y del transistor n, obtendríamos una gráfica como la que aparece en la figura 7, a la derecha.

[ver figura >> 07](#)

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógica pseudo-NMOS

Valores altos de la relación entre los factores de forma ( $FP/FN$  en la figura) producen tensiones de salida cada vez mayores, más alejadas del valor deseado de 0 volts.

Así pues, en la lógica pseudo-NMOS la relación entre los factores de forma del transistor-p y la red de transistores-n debe tomar un valor concreto que, si no se respecta, imposibilitará que el circuito funcione correctamente. Si no se cumpliera esa relación, el nivel de tensión a la salida de la puerta lógica se interpretaría como un valor desconocido por las puertas a las que esta señal ataque. Por el contrario, en la lógica CMOS-complementaria no es necesario cumplir ninguna relación especial entre las  $\beta$ s de los transistores n y p para su correcto funcionamiento; en todo caso la relación entre las  $\beta$ s producirá una mayor o menor simetría en las señales al variar los tiempos de subida y de bajada de las mismas.

La ventaja fundamental de la lógica pseudo-NMOS es la reducción del número de transistores. Su desventaja radica en la existencia de un consumo estático debido a que cuando la salida de la puerta toma el valor 0 se mantiene una corriente alimentación-tierra en el estacionario. La lógica pseudo-NMOS tiene un consumo mucho más alto que la CMOS-complementaria.

En la práctica, las puertas lógicas de las librerías de celdas que ofrecen los fabricantes, salvo excepciones, se construyen con lógica CMOS-complementaria, mientras que las PLAs (que no son sino dos niveles de puertas NAND o NOR con muchas entradas) suelen estar implementadas con lógica pseudo-NMOS y presentan por tanto un nivel de consumo alto. En la figura 9 se puede comparar la implementación de una NAND de 4 entradas con lógica CMOS-complementaria y con lógica pseudo-NMOS (la figura 9 se comentará más adelante).

[ver figura >> 09](#)

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógicas dinámicas

Las llamadas lógicas dinámicas intentan reducir a la vez el número de transistores y el consumo del circuito a costa de la tercera variable: el tiempo. Existe toda una familia de lógicas dinámicas, pero la idea general en todas ellas es que la puerta lógica responde en dos fases; en una primera fase (**fase de precarga**) el nodo de salida se precarga a  $V_{DD}$  sea cual sea la combinación de los valores de entrada. En una segunda fase (**fase de evaluación**) se calcula cuál debe ser la salida de la puerta en función de las entradas y, si ésta debe ser 0, se descarga el nodo de salida. Si la salida debe ser 1, el estado del nodo de salida no se modifica.

Una señal de reloj CK marca las fases de precarga y evaluación, que se repiten continuamente. La sincronización de las fases de precarga y evaluación de cada una de las puertas lógicas que componen el circuito debe realizarse cuidadosamente; es necesario asegurar que cuando una puerta A está en su fase de evaluación todas sus entradas (salidas de las puertas previas) están estables y a su valor correcto. El problema es complejo y no lo trataremos en este curso. Baste decir que existen diversas estrategias de sincronización, cada una con sus ventajas y sus inconvenientes. Para ampliar este tema se recomienda acudir al Weste-Esharaghian, donde se presentan varias lógicas dinámicas.

La figura 8 muestra una puerta NAND implementada con una de las muchas posibles lógicas dinámicas.

[ver figura >> 08](#)

*Fase de precarga:* Cuando  $CK=0$  el transistor p conduce y el transistor n gobernado por CK está en corte con lo cual, sea cual sea la combinación de los valores de entrada, el nodo de salida se carga a un 1 lógico.

*Fase de evaluación:* Cuando  $CK=1$  el transistor entra en corte y el transistor n conduce. Si la combinación de valores de las entradas es tal que se abre el camino del nodo de salida a tierra (en este caso  $A=B=C=D=1$ ), la salida se descarga y toma el valor lógico 0.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Lógicas dinámicas

En líneas generales, se requieren  $n+2$  transistores para implementar una puerta lógica de  $n$  entradas. Al igual que en la lógica CMOS-complementaria, el consumo estático es prácticamente cero, pero el consumo dinámico es mayor que en el caso CMOS-complementario por cuanto aquí el nodo de salida se precarga a 1 el cada pulso de reloj.

Como mayores inconvenientes de esta aproximación hay que citar la dificultad de la sincronización de los distintos niveles de puertas, la necesidad de una señal de reloj que llegue a todas las puertas lógicas (aumento del conexionado y en consecuencia peor densidad de integración) y el límite de velocidad debido a las dos fases de funcionamiento.

La figura 9 resume las ventajas y desventajas de las tres alternativas de implementación vistas hasta ahora.

[ver figura >> 09](#)



### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

Ingeniería Informática

## Circuitos no-regenerativos

Los circuitos no-regenerativos implementan las puertas lógicas mediante caminos de transistores que conectan las entradas con la salida, sin que en ningún momento se conecten a  $V_{DD}$  o a tierra.

El ejemplo más representativo de este tipo de lógica es la llamada **puerta de paso**, que puede verse en la figura 10. La puerta de paso controla el paso de información desde  $A$  a  $B$  (o de  $B$  a  $A$  puesto que es un dispositivo totalmente simétrico) dependiendo de una cierta señal  $C$ . Cuando  $C=0$  los dos transistores permanecen en corte y los puntos  $A$  y  $B$  quedan aislados entre sí. Cuando  $C=1$  ambos transistores conducen, y la información fluye de  $A$  a  $B$  (o de  $B$  a  $A$ ). Nótese que el nodo  $B$  no queda en ningún momento conectado a  $V_{DD}$  o a tierra, de modo que el nivel de tensión que alcanza depende totalmente del nivel de tensión del nodo  $A$ .

[ver figura >> 10](#)

Los transistores-n no conducen bien los 1s. Si en la puerta de paso utilizásemos un único transistor-n, cuando  $A=V_{DD}$ ,  $V_G=V_{DD}$  y  $B=0$ , la corriente fluiría de  $A$  a  $B$ , cargando la capacidad asociada al nodo  $B$  hasta el valor de  $V_{DD}-V_{th}$ ; momento en el cual  $V_D-V_S=V_{th}$  y la corriente  $I_D$  dejaría de fluir. Siguiendo un razonamiento similar se puede ver que los transistores-p, por el contrario, conducen mal los 0s en el sentido que la tensión del nodo  $B$  puede bajar hasta, como máximo,  $V_{th}$ . Es por esta razón que se utilizan dos transistores en paralelo para construir la puerta de paso.

Los **multiplexores** son módulos lógicos que también se suelen implementar con circuitos no-regenerativos (ver de nuevo la figura 10). Si se hace así, el número de transistores necesarios es de 6 (incluyendo los dos transistores del inversor), mientras que si se implementa utilizando puertas lógicas combinatoriales de tipo CMOS-complementario se necesitan 14 transistores. De nuevo el precio que se paga es la imposibilidad de regenerar la señal.

Como puede verse en la figura, el multiplexor está formado por dos puertas de paso controladas por la señal  $C$  y la señal  $C$ -negada respectivamente. Cuando  $C=0$  se abre la

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Circuitos no-regenerativos

puerta superior, dejando pasar la información de  $A0$  a la salida. Cuando  $C=1$  se abre la puerta inferior, dejando pasar  $A1$ .

Estas ideas pueden generalizarse fácilmente, permitiendo construir cualquier función lógica. Supongamos por ejemplo la función:

$$f(a,b,c,d) = a.b.c.\bar{d} + \bar{a}.\bar{b}.d$$

Dicha función se puede construir utilizando puertas de paso, como muestra la figura 11. Nótese que hay que tener especial cuidado en asegurar que sólo un camino desde las entradas a la salida  $f$  está activo en cada instante de tiempo.

[ver figura >> 11](#)

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Comparación entre circuitos regenerativos y no-regenerativos

La figura 5 muestra en la parte superior dos inversores conectados en serie y las señales (1) a la entrada del primero de ellos –VIN-, (2) a la salida del primero y entrada del segundo –VINT-, y (3) a la salida del segundo de los inversores –VOUT-. Nótese cómo la señal VOUT:

[ver figura >> 05](#)

1. Alcanza prácticamente el valor de tensión  $V_{DD}$  aunque la señal VIN no lo alcance, y
2. Alcanza el valor  $V_{DD}$  antes de que lo haga VIN

El nivel de tensión se regenera a la salida del circuito, y el tiempo de respuesta viene determinado por las características de los dos inversores.

En la parte inferior se muestra una puerta de paso permanentemente abierta, y la evolución de las señales VIN y VOUT en el tiempo. Obsérvese cómo la señal de salida VOUT en ningún momento puede alcanzar un valor de tensión superior a la del nodo de entrada, de forma que ni la señal se regenera, ni el tiempo necesario para que la salida alcance su valor óptimo se mejora.

A cambio los dos circuitos realizan la misma función lógica: dejan pasar la información de la entrada a la salida. Mientras el circuito regenerativo requiere 4 transistores, el circuito no-regenerativo realiza la misma función con la mitad de transistores.

La circuitería no-regenerativa tiene una aplicación muy limitada, restringiéndose su uso en la práctica a la implementación de puertas de paso y multiplexores. Conviene tener siempre la precaución de limitar el número de puertas no regenerativas conectadas en serie.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinatoriales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Módulos con memoria

El punto de memoria, los *latches*, los flip-flops constituyen los llamados elementos de memoria a partir de los cuales se construyen los diversos tipos de registros y contadores. Como es bien sabido, un elemento de memoria es un circuito electrónico cuya salida en un instante de tiempo  $t$  depende del valor que toman las entradas en ese momento y de la historia pasada del circuito. Dicha historia pasada queda reflejada en el llamado **estado** del elemento de memoria.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## El punto de memoria

La forma más sencilla de conseguir esta función de “memoria” la constituye el punto de memoria. Un punto de memoria no es sino un par de inversores realimentados como muestra la figura 12a.

[ver figura >> 12](#)

Cuando la entrada *in* vale 0 la salida del primer inversor (*x*) toma el valor 1, y por tanto el nodo de salida *Q* se pone a 0, lo que a su vez realimenta la entrada al mismo valor. El contenido del punto de memoria permanece estable indefinidamente, almacenando en este caso un 0.

La figura 12b muestra un punto de memoria al cual se le han añadido dos puertas de paso que permiten modificar el valor del bit almacenado. Cuando la señal *load* toma el valor 1 se abre el paso desde *D* a *in*, mientras que el bucle de realimentación queda cortado. Cualquier valor que se entre por *in* en estas condiciones se transmite negado a *no-Q* y sin negar a *Q*. Cuando la señal *load* se hace 0 se reestablece el bucle de realimentación a la vez que se “aisla” la entrada *in* al punto de memoria, guardándose indefinidamente el valor entrado previamente por *D*.

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

Ingeniería Informática

## Los latches

La estructura mostrada en la figura 12b recibe el nombre de **latch-D**, y su funcionamiento es muy simple: mientras  $load=1$  deja pasar la información que recibe por  $D$  y la transmite hasta la salida  $Q$ ; mientras  $load=0$  guarda la última información que le llegó por la entrada  $D$ . En la figura 13.a puede verse su representación y un diagrama de tiempos que refleja el funcionamiento del *latch*.

[ver figura >> 13](#)

El *latch* puede sincronizarse con el resto del circuito utilizando un señal de reloj ( $CK$ ) en vez de la señal de  $load$ , como se muestra en la figura 13.b. Además de estas señales se suelen introducir las llamadas **entradas asíncronas** de *Preset* (o *Set*) y *Clear* (o *Reset*), capaces de poner el latch a 0 (*Reset*) o a 1 (*Set*) independientemente del estado de la señal de reloj (véase figura 13.c). Utilizando las puertas lógicas desarrolladas en apartados anteriores pueden construirse fácilmente *latches* de tipo RS, JK, etc, cuyo funcionamiento se puede encontrar en cualquier libro básico de sistemas digitales y no vamos a repetir aquí.

Un fenómeno que suele menospreciarse cuando se diseñan circuitos digitales convencionales pero que sí tiene interés desde el punto de vista de los circuitos integrados es el de la llamada *metaestabilidad* (o **estado metaestable**) del punto de memoria. Veamos en qué consiste (ver figura 14):

[ver figura >> 14](#)

En condiciones normales, una entrada  $x0$  (tensión cercana a  $V_{DD}$ ) al primer inversor del punto de memoria (INV1) causa una salida  $x1$  cercana a 0 volts que es recogida por el segundo inversor (INV2), que genera una salida  $x2$  cercana a  $V_{DD}$  que se interpreta como un 1 lógico. Sin embargo, si la tensión de entrada al INV1 toma el valor intermedio  $y0$  pueden aparecer serios problemas. La curva de transferencia del inversor INV1 nos dice que éste responde a  $y0$  con una tensión de salida  $y1$  también intermedia entre 0 y  $V_{DD}$ , que

## Los latches

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

a su vez entra en INV2 que responde de nuevo con una tensión a la salida  $y_2$  imposible de identificarse ni como 0 ni como 1. Esta situación es inestable, y cualquiera pequeña variación de  $y_2$  hacia el 0 o hacia  $V_{DD}$  causada por cualquier tipo de ruido inherente al circuito hará “caer” la tensión hacia uno de ambos extremos (ver de nuevo la figura 14).

A pesar de esta temporalidad, esta situación de *metaestabilidad* causa dos tipos de problemas:

1. El valor de la salida queda indeterminado desde el punto de vista lógico, y cae “aleatoriamente” hacia el 0 o hacia el 1, y
2. Mientras dura la *metaestabilidad*, ambos inversores tienen tanto su transistor-p como su transistor-n en conducción, dejando pasar una corriente de alimentación a tierra que, en el mejor de los casos, provoca un consumo de potencia considerable. Si además la salida del punto de memoria está conectada a otras puertas lógicas (por ejemplo otro inversor), esta *metaestabilidad* y el consumo de potencia extra que lleva aparejada se transmitirá a lo largo del circuito.

En el interior del circuito integrado, donde todas las señales van sincronizadas con la señal de reloj, y siempre que la duración (tiempo a alta) y frecuencia de éste se hayan definido correctamente, esta situación de *metaestabilidad* no se va a dar nunca porque cuando la señal de reloj suba a 1 permitiendo la entrada de señales al punto de memoria (fijémonos que el *latch* no es sino un punto de memoria con un control de entrada), las señales de las puertas previas a éste ya se habrán estabilizado y estarán alejadas del punto  $V_{DD}/2$  conflictivo. Sin embargo, sí puede suceder, y deben tomarse precauciones para evitarlo, cuando el punto de memoria recibe entradas externas al circuito, no sincronizadas por el reloj.

1. El primer problema se resuelve más o menos fácilmente obligando a la señal de entrada a estar activa el tiempo suficiente como para que se “lea” dos o más veces. Sólo si los valores leídos durante dos pulsos de CK consecutivos coinciden se toma la señal de entrada como correcta.

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Los latches

2. El segundo problema puede atacarse de dos maneras:

[ver figura >> 15](#)

a) Colocando dos *latches* en serie a la entrada, gobernados por señales de reloj complementarias. Puesto que el estado *metastable* es muy inestable, la probabilidad de que la salida del primer *latch* esté todavía a  $V_{DD}/2$  cuando llegue no-CK al segundo *latch* es prácticamente cero. Conforme mayor sea la duración de la señal de reloj a 1, menor será la probabilidad de transmisión de la *metaestabilidad* (ver figura 15a).

b) La segunda solución requiere 3 elementos de memoria como muestra la figura 15.b. Este circuito reduce el riesgo de *metaestabilidad* a sólo el flanco de subida de CK. Aquí, la propia señal de entrada (*in*) hace de señal de reloj para el primer flip-flop, con lo que es imposible que éste entre en un estado *metastable*, llegue cuando llegue la el flanco de la señal de entrada. Un cambio de 0 a 1 en la señal de entrada provoca una puesta a 1 del primer flip-flop, mientras que el resto del circuito tiene como misión volver a poner el primer flip-flop a 1 después de dos flancos de reloj para quedar a la espera de un nuevo cambio de la señal de entrada.

En el segundo flip-flop si es posible que entre en un estado *metaestable* y por ello los flip-flops 2 y 3 están conectados en serie para evitar el riesgo de transmisión de la *metaestabilidad*. En el diagrama de tiempos de la figura 15.b se puede ver con detalle el funcionamiento de este módulo. Fijémonos que la generación de la señal de entrada al circuito no depende para nada del flanco de bajada de la señal *in*.

Habitualmente se adopta la primera de las soluciones propuestas.



### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Los flip-flops

Los flip-flops tienen la característica de permitir el cambio de estado sólo durante el tiempo en que la señal de reloj está subiendo; esto es, sólo durante el **flanco** de subida. Cualquier cambio en las señales de entrada durante  $CK=1$  o  $CK=0$ , fuera de los flancos, no tiene ninguna respuesta. Esta característica produce comportamientos distintos en latches y flip-flops sometidos a señales de entrada idénticas, como puede verse en la figura 16.

[ver figura >> 16](#)

De nuevo, el funcionamiento de los flip-flops es un tema que se puede encontrar en cualquier libro de diseño de circuitos digitales. Aquí nombraremos sólo el hecho de que los flip-flops suelen implementarse utilizando estructuras maestro-esclavo (master-slave) como la mostrada en la figura 17. El dato interesante desde el punto de vista del diseño de CIs es que el número de transistores necesarios para implementar un *latch* es la mitad del necesario para implementar un flip-flop si se utiliza la estructura maestro-esclavo, y por tanto también serán mayores el área ocupada por un flip-flop y su consumo.

[ver figura >> 17](#)

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Registro de desplazamiento dinámico

Los registros de desplazamiento convencionales se construyen conectando en serie flip-flops de tipo D o latches con una estructura maestro-esclavo. Suponiendo de nuevo que un flip-flop se implementa con una estructura maestro-esclavo, cada etapa de un registro de desplazamiento convencional requiere 15 transistores.

Esta estructura se conoce con el nombre de registro de desplazamiento estático. Si se desea reducir el número de transistores (y la sincronización, como veremos a continuación, lo permite), se pueden utilizar registros de desplazamiento dinámicos: La figura 18 muestra una etapa de un registro de desplazamiento dinámico.

[ver figura >> 18](#)

Los condensadores dibujados en rojo representan las capacidades parásitas asociadas a los nodos de entrada de los inversores, y son los encargados de guardar la información. Cuando  $CK=1$ , la información de la etapa anterior entra (carga si es un 1, descarga si es un 0) a las capacidades  $C1, C1', \dots$  etc; cuando  $CK=0$  la información guardada en las capacidades  $C1s$  pasa a las  $C2, C2', \dots$  etc. (paso del maestro al esclavo). Como las capacidades se cargan a través de inversores (circuitos regenerativos), no hay peligro de que la señal guardada se vaya degradando conforme avanzamos por las distintas etapas del registro. Mientras  $CK$  es 0, el nodo  $C1$  queda eléctricamente aislado del resto del circuito, con lo que teóricamente la carga de la capacidad  $C1$  no se perdería nunca. Desgraciadamente siempre hay corrientes de fugas que acaban descargando la capacidad en tiempos del orden del  $mseg$ , con lo cual el circuito propuesto como registro de desplazamiento funciona **sólo** si, antes de que las capacidades se hayan descargado, les llegan una nueva señal; es decir, sólo si la información está viajando continuamente. De ahí su nombre de registro de desplazamiento dinámico.

1. El registro de desplazamiento propuesto permite dividir por 2 el número de transistores necesarios para implementar el registro, con el consiguiente ahorro de área

### Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

#### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Registro de desplazamiento dinámico

y consumo, pero...

2. sólo puede utilizarse cuando la información está viajando continuamente por el registro, o se incorporan soluciones de refresco de la información.

Es una solución aceptable cuando es necesario incluir en el diseño registros de desplazamiento de muchas etapas.

## Capítulo 3: Electrónica de las puertas básicas y los elementos de memoria

Elena Valderrama

### Capítulos



Módulos combinacionales

Circuitos regenerativos

Lógica CMOS-complementaria

Lógica pseudo-NMOS

Lógicas dinámicas

Circuitos no-regenerativos

Módulos con memoria

Punto de memoria

Latches y flip-flops

Registro de desplazamiento dinámico

Resumen

## Resumen

En este capítulo se ha estudiado:

1. La implementación a nivel de transistores de los circuitos combinacionales básicos o puertas lógicas:

a) Las aproximaciones de tipo regenerativo garantizan niveles de tensión correctos en todos los nodos del circuito. Se han visto tres alternativas de diseño:

La lógica CMOS-complementaria

La lógica pseudo-NMOS

Las lógicas dinámicas

La figura 9 resume las características de cada una de ellas.

b) Las aproximaciones de tipo no-regenerativo, que ocupan menos área pero degradan la señal, lo que desaconseja la conexión en serie de varios de ellos.

2. La implementación a nivel transistor de los elementos de memoria; el punto de memoria, los *latches* y los flip-flops.

3. Se ha estudiado también el concepto de estado *metaestable*, y su repercusión en el diseño de CIs.

4. Finalmente, se ha mostrado una posible implementación de los registros de desplazamiento dinámicos, especialmente interesante cuando su tamaño es grande.

# Fin del capítulo 3

Figura 1

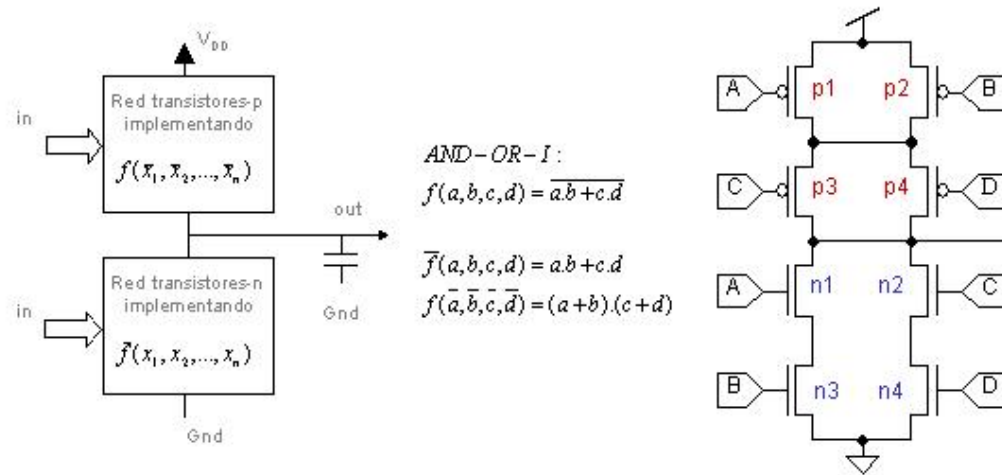


Figura 2

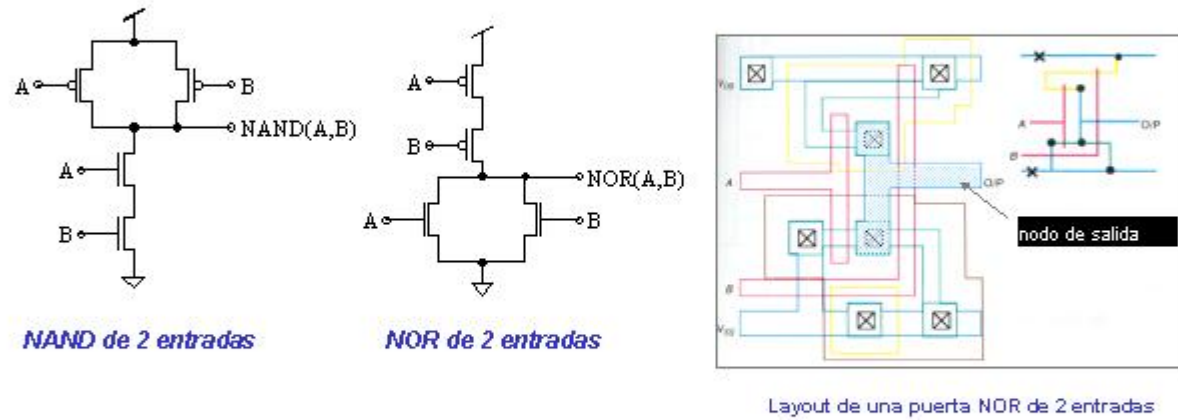
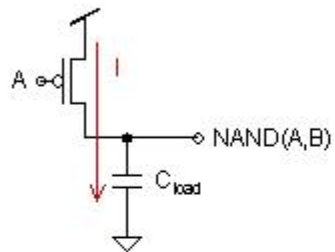


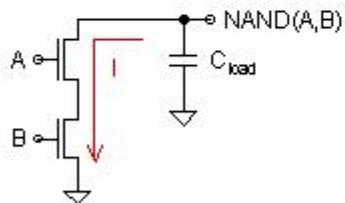
Figura 3

**Puerta NAND: Cálculo del tiempo de subida**



$$t_{subida} = K_{subida} \frac{L_P}{W_P} \cdot C_{load}$$

**Puerta NAND: Cálculo del tiempo de bajada**



$$t_{bajada} = K_{bajada} \frac{2 \cdot L_N}{W_N} \cdot C_{load} = 2 \cdot K_{bajada} \frac{L_N}{W_N} \cdot C_{load}$$

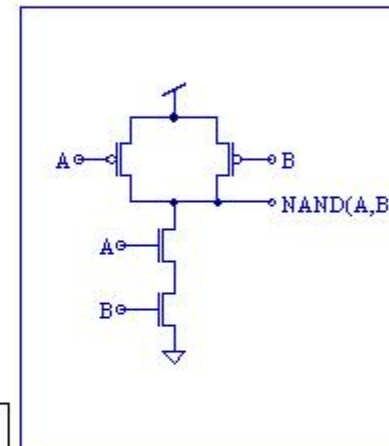
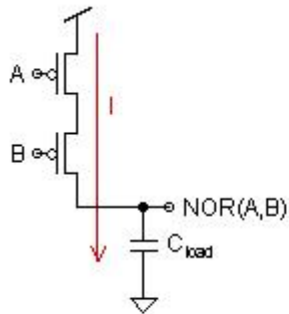


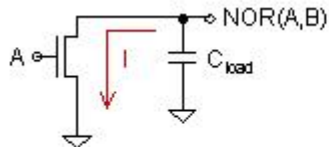
Figura 4

**Puerta NOR: Cálculo del tiempo de subida**



$$t_{subida} = K_{subida} \frac{2 \cdot L_P}{W_P} \cdot C_{load}$$

**Puerta NOR: Cálculo del tiempo de bajada**



$$t_{bajada} = K_{bajada} \frac{L_N}{W_N} \cdot C_{load}$$

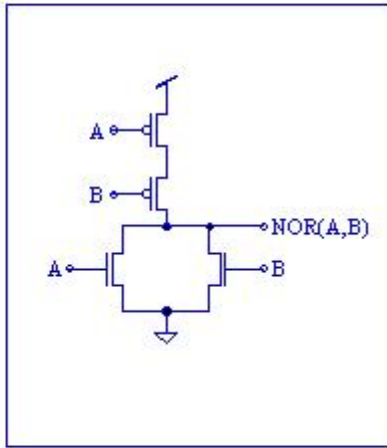




Figura 5

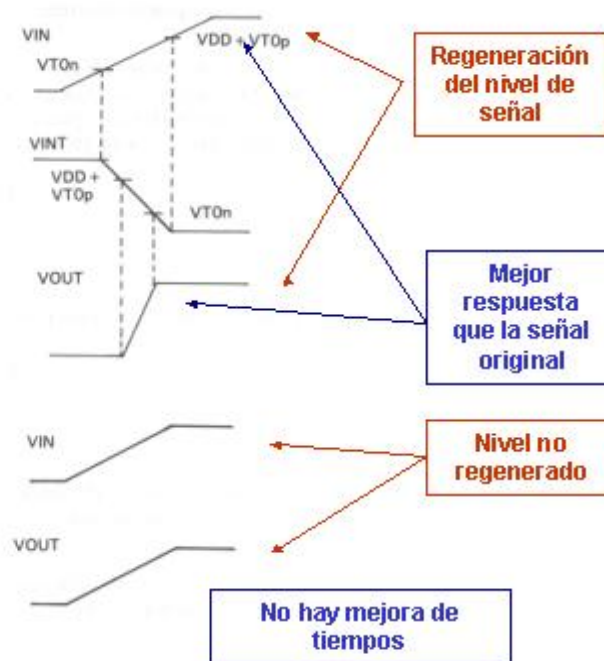
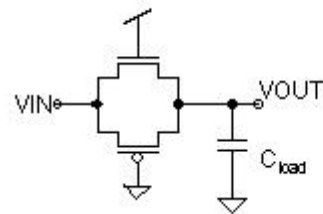
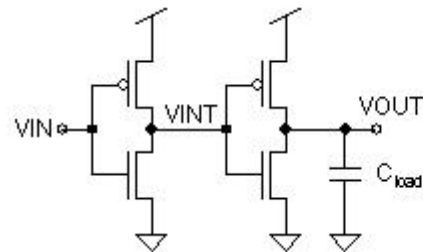


Figura 6

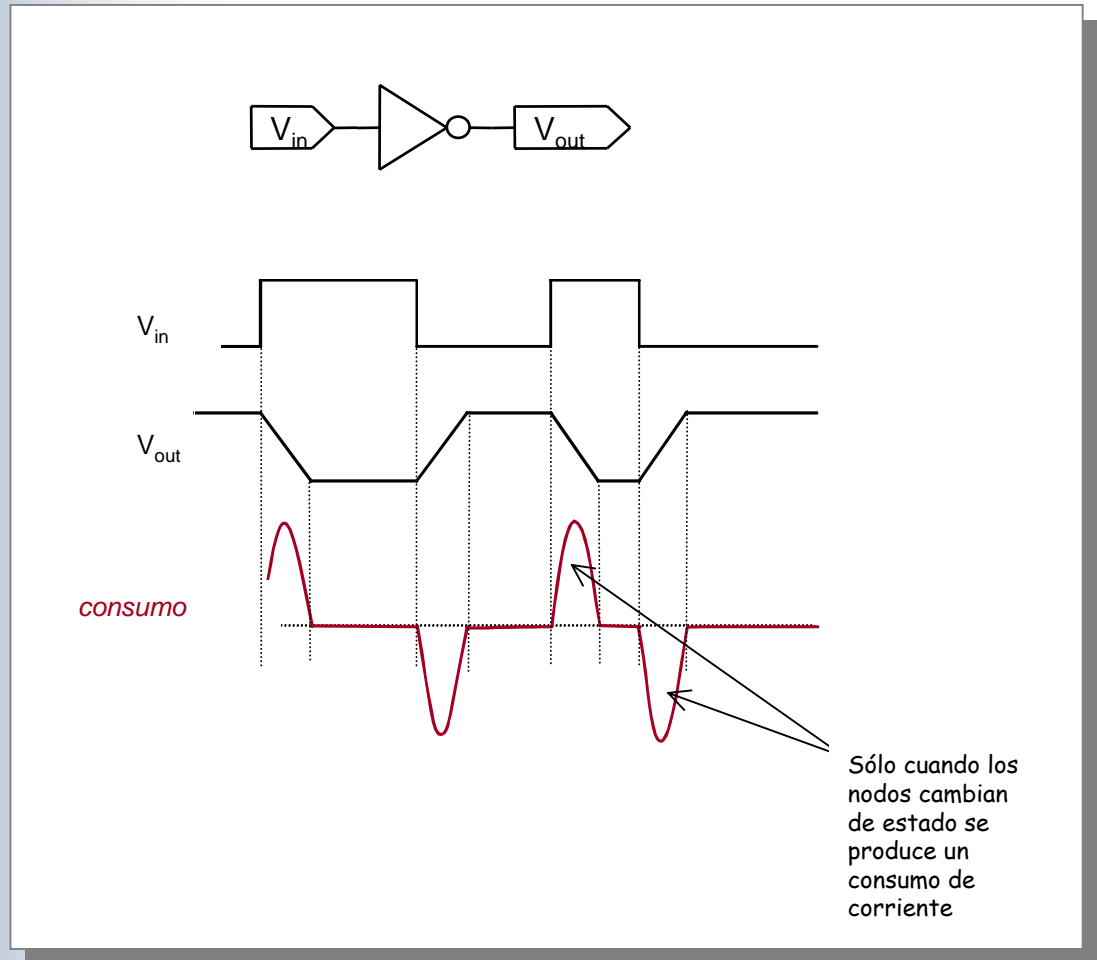


Figura 7

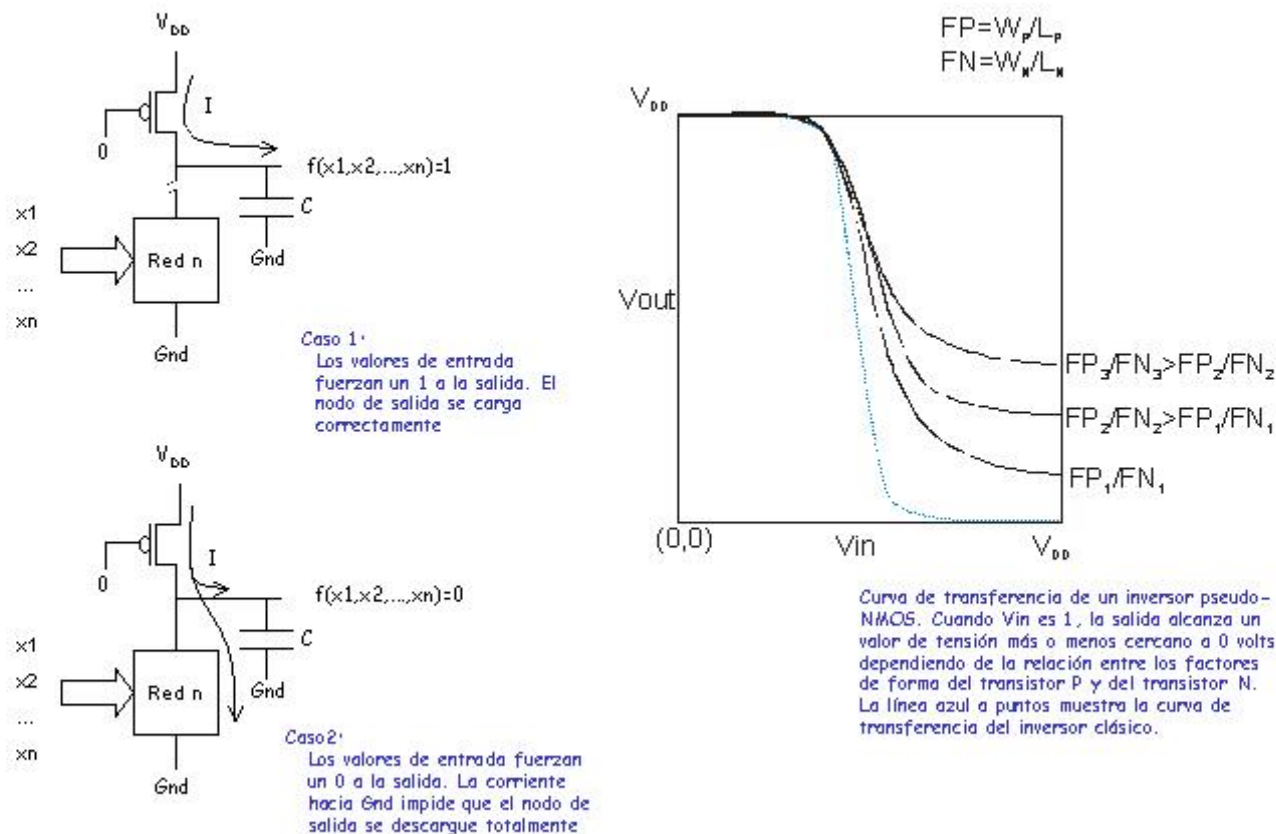
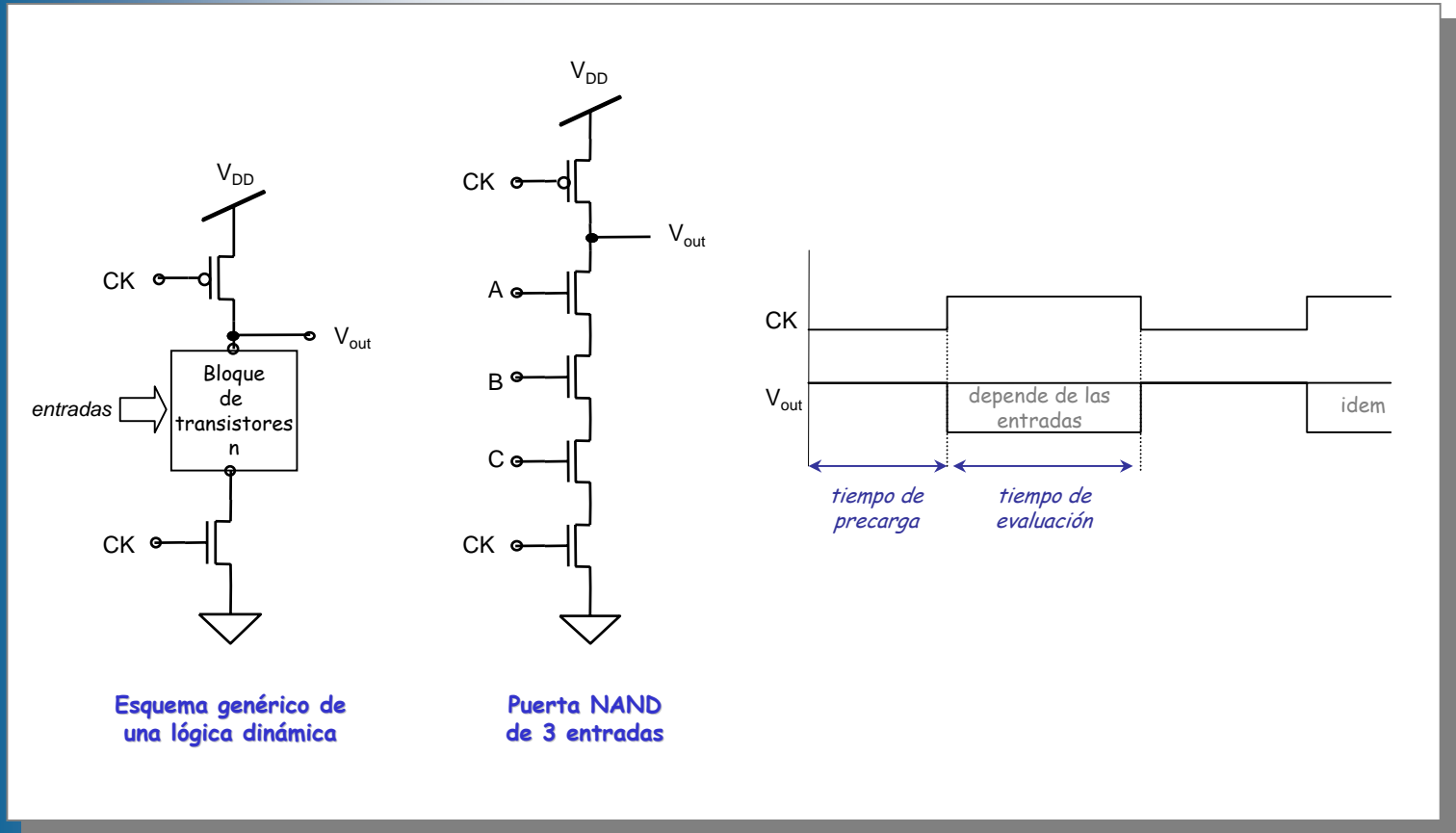


Figura 8



Esquema genérico de una lógica dinámica

Puerta NAND de 3 entradas

Figura 9

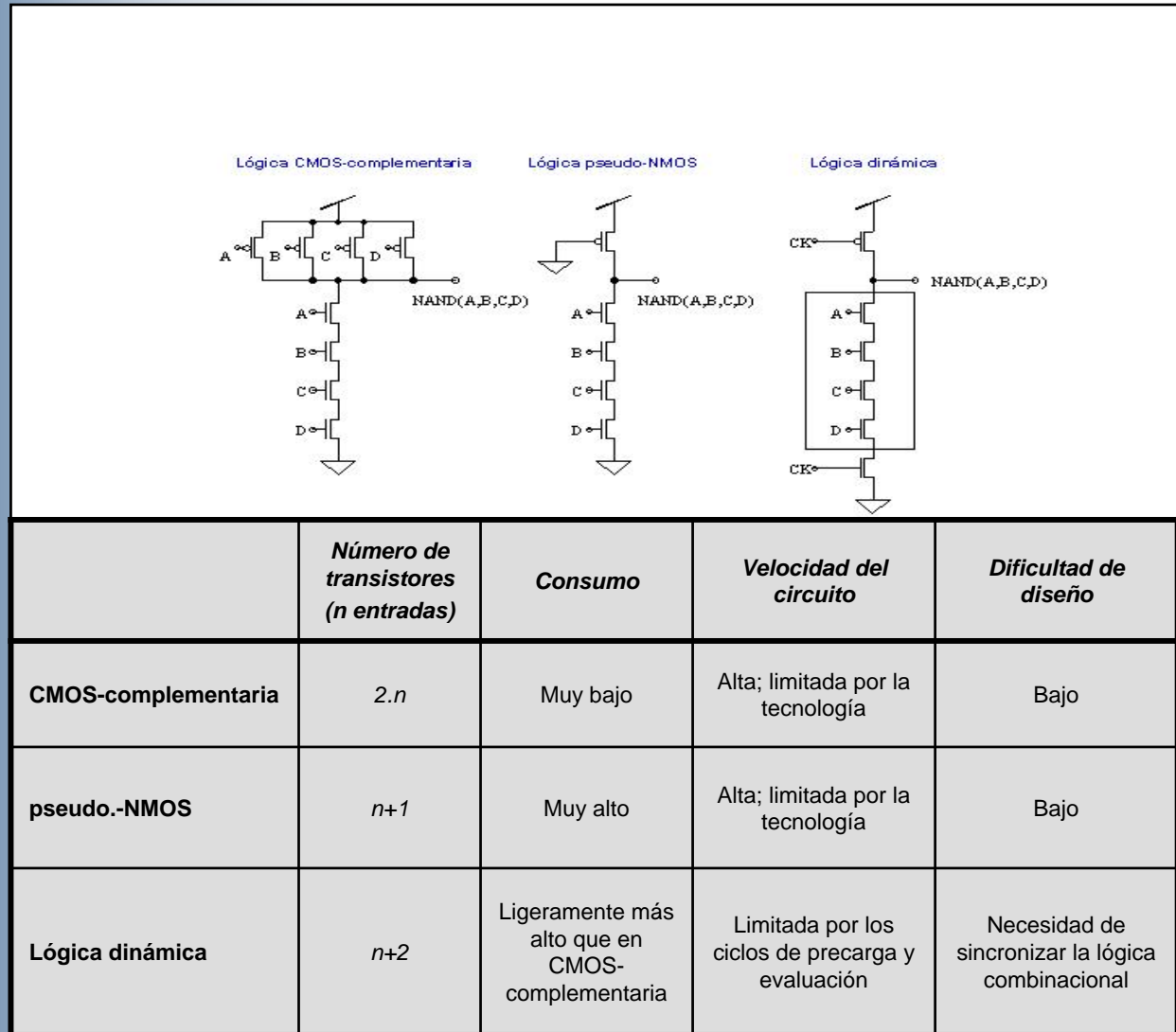


Figura 10

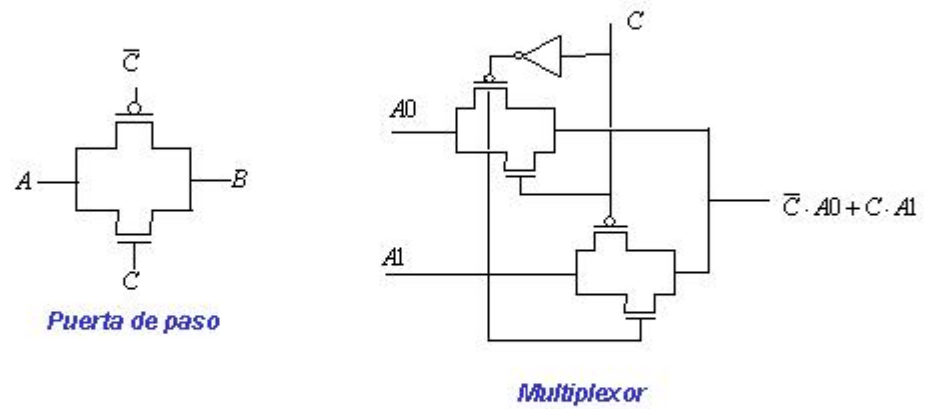


Figura 11

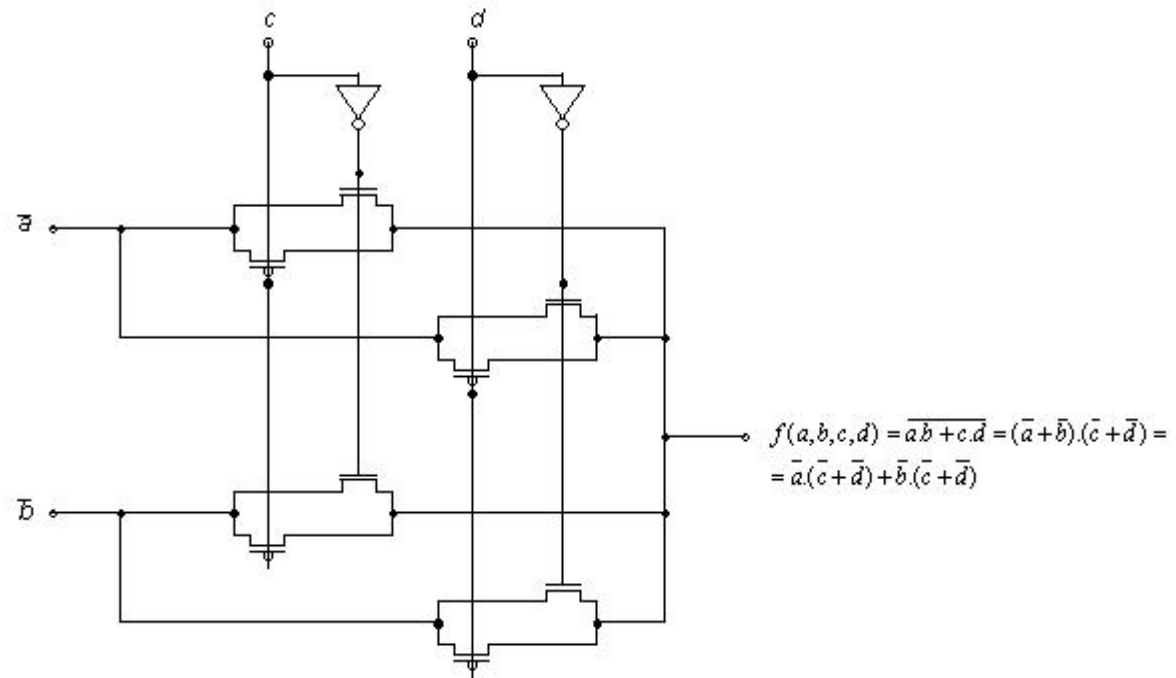
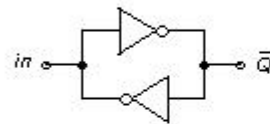
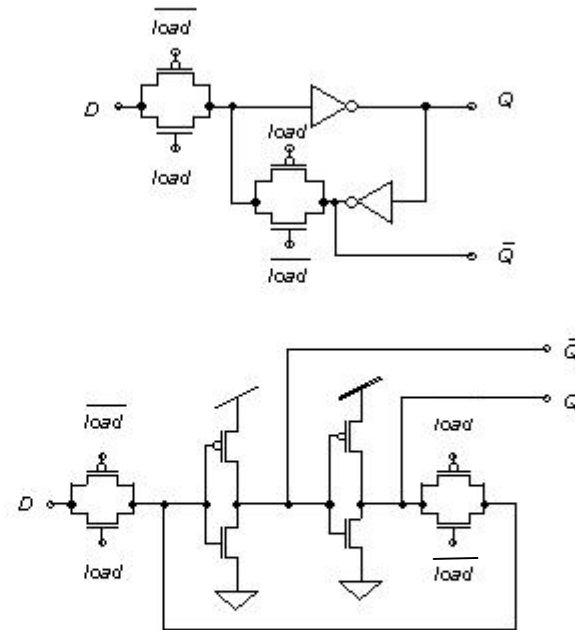


Figura 12



**Punto de memoria**  
(figura 12 a)



**Punto de memoria con carga**  
(figura 12 b)



Figura 13

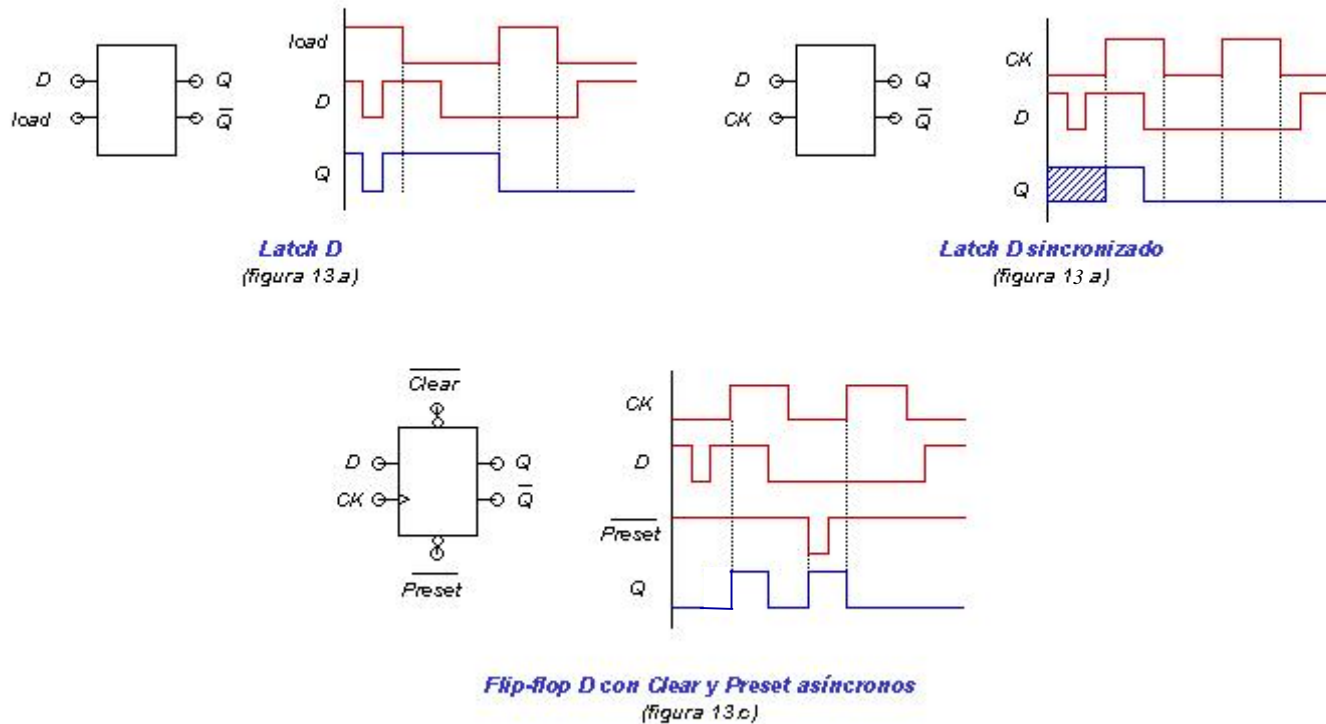


Figura 14

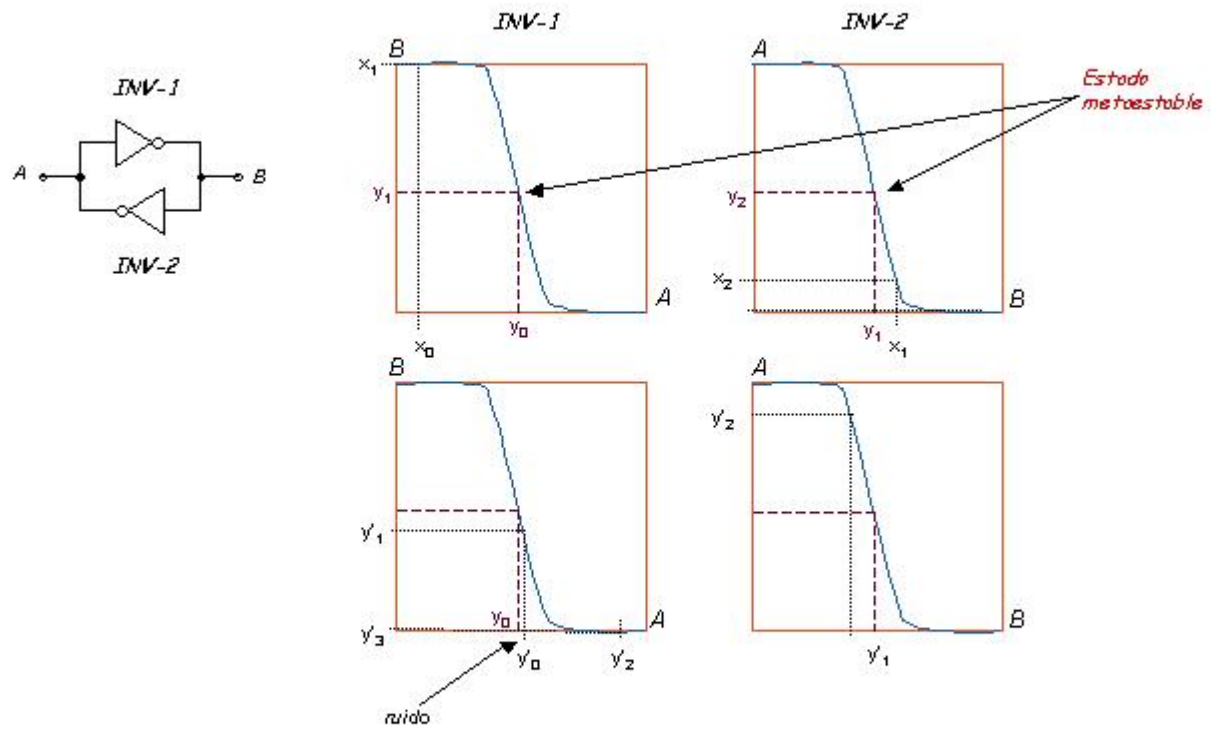
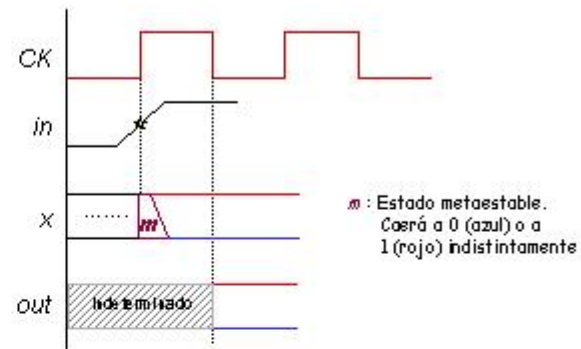
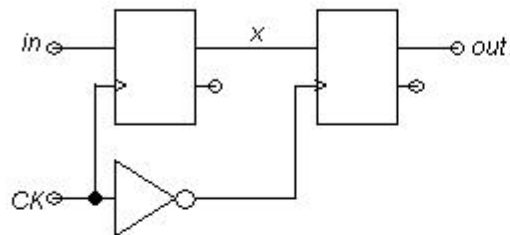


Figura 15

(figura 15.a)



(figura 15.b)

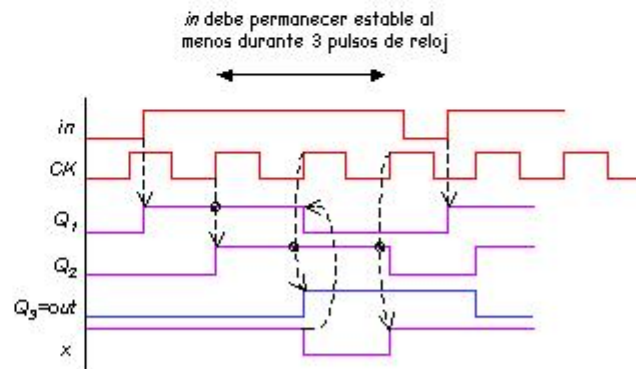
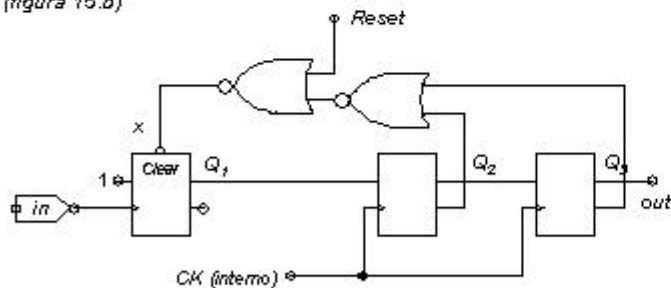


Figura 16

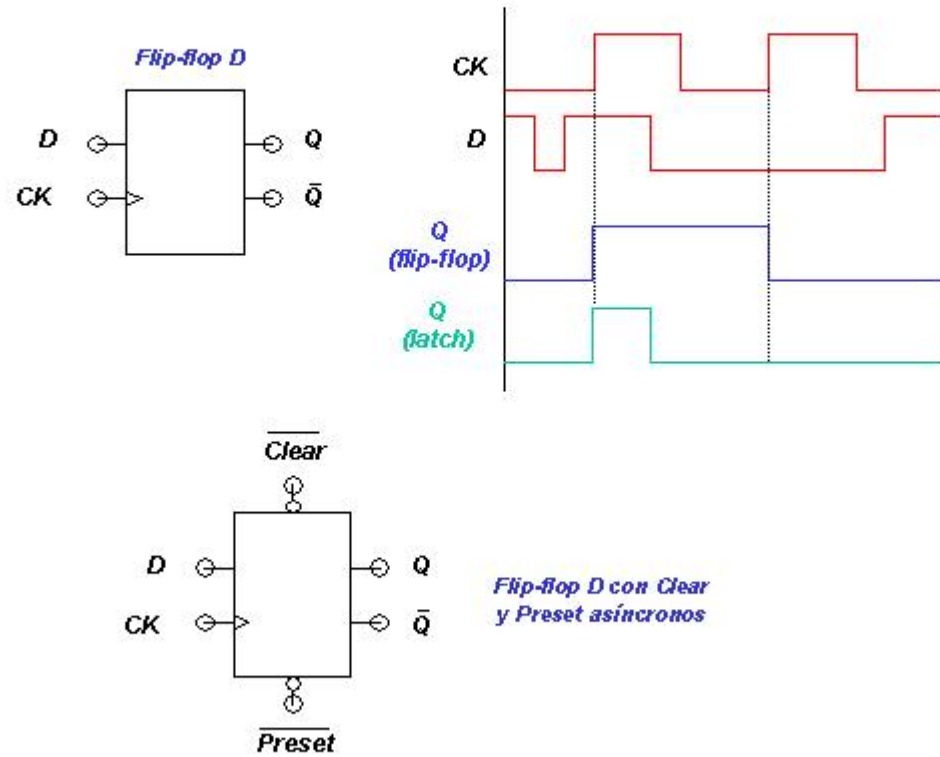


Figura 17

Estructura Maestro-Escavo

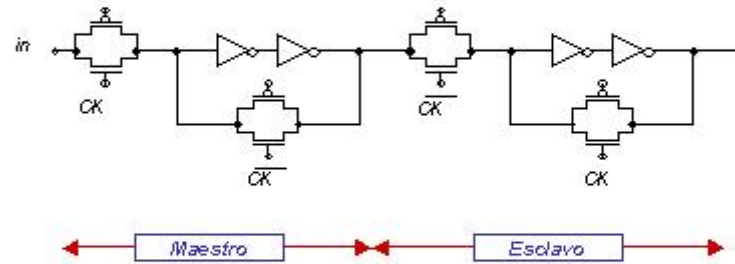


Figura 18

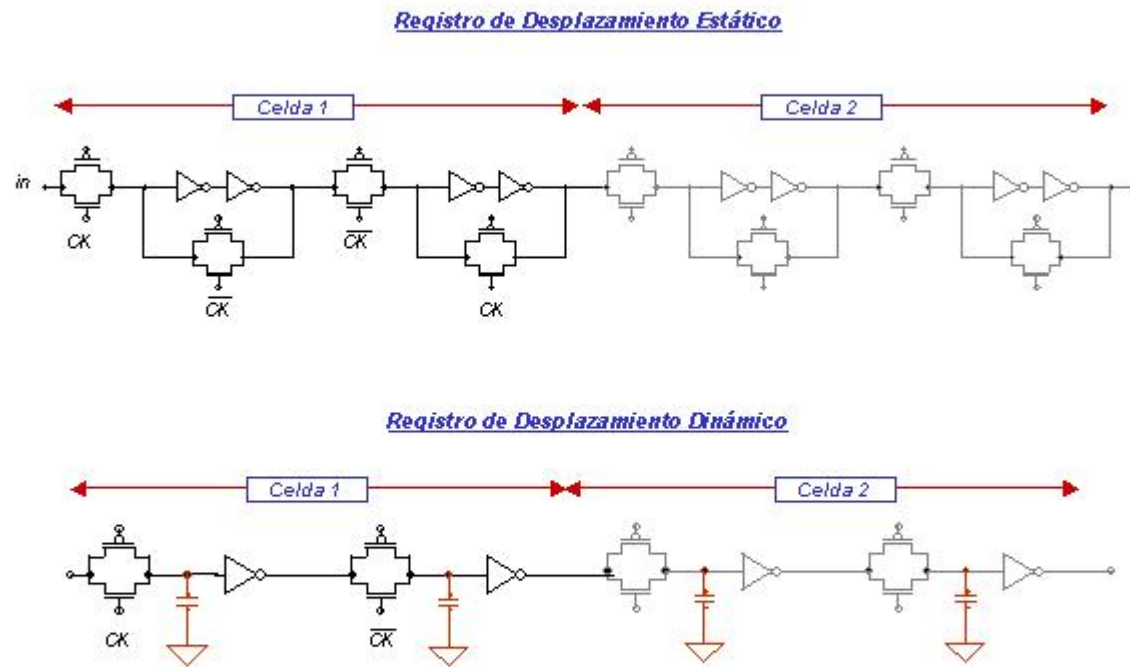
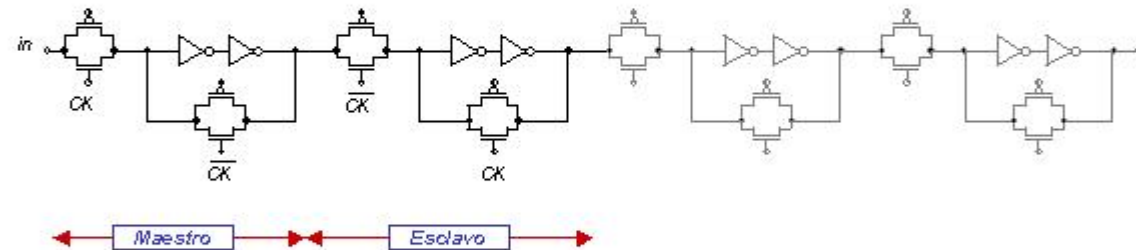


Figura 19



Fin del capítulo 3