

# Introducción al diseño de CIs

Universitat Autònoma de  
Barcelona

Curso académico 2009-10

Raúl Aragonés Ortiz

---

## Capítulo 1: Conceptos Básicos

---

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



### Introducción

El transistor MOS

El inversor CMOS

## Introducción

El objetivo de este capítulo es establecer las bases necesarias para el estudio del comportamiento del transistor MOS, así como su estructura básica de funcionamiento basada en la configuración de inversor. Acto seguido, se realizará una introducción a las reglas de diseño basadas en una tecnología estandar.

Contenido del capítulo:

El transistor MOS

El inversor y las puertas lógicas

El "*layout*" o geometría del circuito integrado (CI)

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Fundamentos Básicos

Los transistores MOS de tipo P y N, su funcionamiento, su representación simbólica y su representación geométrica pueden verse en la figura 1. Inicialmente, nos interesa destacar los siguientes puntos:

[ver figura >> 01](#)

1. El transistor MOS es un dispositivo de tres terminales: la puerta o *gate* (G), el drenador o *drain* (D) y la fuente o *source* (S). Al aplicar una tensión (positiva en el caso del transistor MOS de canal N, o negativa en el caso del transistor de canal P) entre la puerta y el sustrato por encima de un cierto valor umbral, fluye entre drenador y fuente una corriente dependiendo de la tensión  $V_D-V_S$  (zona lineal de la curva de funcionamiento del transistor). Si la tensión puerta-sustrato se hace muy grande y supera un cierto valor de saturación, la corriente que fluye entre drenador y fuente toma un valor aproximadamente constante, independiente de la tensión  $V_D-V_S$  aplicada (zona de saturación).
2. El transistor puede fabricarse mediante técnicas microelectrónicas, por la aplicación sucesiva de procesos de fotolitografía (definición de las zonas donde se van a aplicar los distintos procesos), difusión, deposición y grabado. Las distintas zonas y los procesos que hay que aplicar a cada zona en concreto se definen a través de **máscaras**. A nivel de máscara un transistor MOS se representa por el "cruce" de una banda de difusión (área dopada con exceso de electrones en el caso del transistor N, o dopada con exceso de huecos en el caso del transistor de tipo P) con una banda de polisilicio; colocadas sobre material semiconductor de tipo P (en el caso del transistor N) o N (en el caso del transistor P).

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Estructura cristalina

Un transistor MOS canal N (P) está formado por un sustrato tipo-p (n) sobre el que se ha efectuado selectivamente una difusión de impurezas tipo-n+ (p+). En la superficie, en la zona entre las dos zonas difundidas, se crece una fina capa de óxido de silicio (óxido de puerta), y sobre ésta se deposita una capa adicional de polisilicio (figura 2). Las dos zonas n+(p+) forman dos conductores aislados, separados por un “canal” semiconductor de tipo-p (n).

[ver figura >> 02](#)

Un potencial positivo en la puerta de un transistor-n induce electrostáticamente una carga negativa en la zona del canal que repele a los portadores mayoritarios del sustrato (semiconductor tipo-p), creando una zona de vaciamiento (zona de depleción). Si el potencial de puerta es lo suficientemente grande, se crea en el canal una zona de fuerte inversión en la que la densidad de electrones en la superficie del Si excede a la densidad de huecos, formándose un verdadero canal conductor (resistivo) entre las dos islas n+. La tensión de puerta para la cual se da la fuerte inversión recibe el nombre de *tensión umbral* (VT).

Las características eléctricas del transistor MOS dependen directamente de sus dimensiones físicas: Se define la *longitud de canal* (L) como la distancia que separa ambas islas n+(p+), y la *anchura de canal* (W) como la dimensión perpendicular a ésta del óxido fino. Visto desde arriba, el transistor se puede representar como dos zonas de difusión (drenador y fuente) separadas por una pista de polisilicio (puerta). En una tecnología autoalineada, como se verá más adelante, el transistor MOS se representa por una pista de difusión atravesada por una pista de polisilicio (figura 3).

[ver figura >> 03](#)

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Comportamiento del transistor NMOS

Recordemos que un potencial de puerta positivo induce una carga negativa sobre el canal del transistor que repele a los portadores mayoritarios del substrato tipo-p (huecos). La zona vacía de cargas que se forma recibe el nombre de *zona de deplexión* (figura 4).

[ver figura >> 04](#)

Si el potencial de puerta se va aumentando, llega un momento en que la concentración de portadores minoritarios (electrones) en el canal llega a sobrepasar la concentración de huecos, formándose una *capa de inversión*. Esta capa de inversión constituye un canal resistivo que une el drenador y la fuente del transistor, de modo que, aplicando una diferencia de potencial entre dichos terminales, aparece una corriente entre ellos. Se dice entonces que se ha creado un canal entre drenador y fuente que permite el paso de corriente entre ambos:

- Mientras el canal no existe, los terminales de drenador y fuente están aislados y el transistor no conduce.
- Cuando la tensión de puerta alcanza el valor suficiente para que se cree el canal (tensión umbral), el transistor conduce.

El conocimiento del valor de la tensión umbral  $V_T$  resulta vital si se desea trabajar con estructuras MOS.

## Cálculo de la tensión umbral

En ausencia de potencial entre drenador y fuente, y con una cierta tensión  $V_G$  aplicada a la puerta, la zona del canal del transistor puede verse como la conexión serie de dos capacidades  $C_o$  y  $C_d$ , que tendrían como dieléctrico el óxido de Si ( $C_o$ ) y la zona de deplexión ( $C_d$ ) respectivamente (figura 5).

[ver figura >> 05](#)

El punto A de la figura representa la superficie de la oblea de Si en la zona del canal. Cuando el potencial de superficie ( $\psi_A$ ) alcanza un cierto valor  $\psi_B$ , comienza la inversión.

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

## El transistor MOS

$$\psi_B = \frac{E_I - E_F}{q} = \frac{K.T}{q} \cdot \ln\left(\frac{N_A}{n_I}\right)$$

( $E_I$  y  $E_F$  son respectivamente los niveles de Fermi para el semiconductor intrínseco y para el semiconductor dopado;  $K$  es la constante de Boltzmann;  $T$  es la temperatura absoluta;  $N_A$  es la concentración de aceptores en el semiconductor tipo p y  $n_I$  es la concentración de electrones libres en el semiconductor intrínseco).

La tensión umbral es la tensión de puerta mínima necesaria para que se forme el canal; es decir, cuando  $V_G = V_T$ ,  $Q_C = 0$  (la carga debida al exceso de electrones portadores minoritarios en el canal).

$$V_T = 2 \cdot \psi_B + \frac{(2 \cdot \epsilon_0 \cdot \epsilon_S \cdot q \cdot N_A)^{1/2}}{C_{ox}} \cdot (2 \cdot \psi_B)^{1/2}$$

Este es un cálculo rápido de  $V_T$ . En el caso real, ciertos procesos/condiciones “no-ideales” obligan a modificar esta expresión si se quiere evaluar con precisión la tensión umbral. Las modificaciones vienen motivadas principalmente por tres razones:

- Los niveles de Fermi del polisilicio y del semiconductor están decalados en un valor  $\phi_M$ , llamada función de trabajo.
- Presencia de cargas en el óxido.
- Presencia de cargas superficiales o cargas lentas (QSS).

El efecto global de los tres puntos citados se resumen definiendo una tensión compensatoria que recibe el nombre de “flat-band voltage” ( $V_{FB}$ ), y que toma el valor:

$$V_{FB} = \phi_{MS} - \frac{Q_{SS}}{C_{ox}} - \frac{1}{C_{ox}} \cdot \int_0^{X_{ox}} \rho(x) \cdot \frac{x}{X_{ox}} \cdot dx$$

De esta forma, la tensión umbral queda definida de la siguiente forma:

$$V_T = V_{FB} + 2\psi_B + \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_S \cdot q \cdot N_A} \cdot \sqrt{2 \cdot \psi_B}$$

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Cálculo de la intensidad de drenador. Diagramas de Memelink

### 1ª Aproximación:

La intensidad de drenador,  $I_D$ , viene dada por el cociente entre la carga puesta en juego en el canal por la tensión de puerta y el tiempo de tránsito  $t$  que tardan los electrones en atravesar el canal. “A grosso modo”, el efecto de la tensión de puerta sobre el canal puede interpretarse como una contribución, desde 0 a  $V_T$ , a la creación de la zona de inversión, más una aportación, desde  $V_T$  hasta  $V_G$ , de portadores que formarán la corriente de drenador. Visto de esta manera, la carga inducida sobre el canal es:

$$Q = C_G \cdot (V_G - V_T)$$

$$C_G = C_{ox} \cdot W \cdot L$$

Donde  $C_{ox}$  representa la capacidad  $C_0$  por unidad de superficie, y  $W, L$  son las dimensiones del transistor.

Por su parte, la velocidad de los electrones en el canal depende de su movilidad ( $\mu_n$ ) y del campo eléctrico aplicado ( $E$ ) que se establece en la dirección del canal debido a la diferencia de potencial entre drenador y puerta ( $V_{DS} = V_D - V_S$ ).

$$E = \frac{V_D - V_S}{L}; \quad v_n = \mu_n \cdot E; \quad \tau = \frac{L}{v_n}$$

$$I_D = \mu_n \cdot C_{ox} \cdot \left( \frac{W}{L} \right) \cdot (V_G - V_T) \cdot (V_D - V_S)$$

El cociente ( $W/L$ ) recibe el nombre de factor de forma del transistor; mientras que el producto  $\mu_n \cdot C_{ox}$  se representa por el símbolo  $K$ , y el factor  $\mu_n \cdot C_{ox}$ .

La expresión de  $I_D$  se ha deducido de una forma simple, suponiendo que la distribución del potencial en el canal es uniforme; despreciando los llamados “efecto de bordes” (aproximación de canal largo), y despreciando la componente vertical del campo eléctrico. Una vez que la tensión  $V_{DS}$  ha superado la centena de milivoltios, la hipótesis de distribución uniforme del potencial en el canal deja de ser cierta, con lo cual se hace necesaria otra aproximación para calcular el valor de la  $I_D$ .

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos

1	2	3	4	5	6	7
8	9	10	11	12	13	14

Introducción

[El transistor MOS](#)

El inversor CMOS

## El transistor MOS

### 2ª Aproximación:

Para realizar el cálculo de  $I_D$  teniendo en cuenta la distribución no uniforme del potencial en la superficie del canal debida a la tensión aplicada  $V_D-V_S$  es necesario ver el canal de una forma diferencial. Considérese una sección vertical del transistor de anchura  $\delta y$  tomada en la parte central del canal, como muestra la figura 6:

[ver figura >> 06](#)

Donde  $C_{ox}$  representa la capacidad  $C_0$  por unidad de superficie, y  $W, L$  son las dimensiones del transistor.

Por su parte, la velocidad de los electrones en el canal depende de su movilidad ( $\mu_n$ ) y del campo eléctrico aplicado ( $E$ ) que se establece en la dirección del canal debido a la diferencia de potencial entre drenador y puerta ( $V_{DS}=V_D-V_S$ ).

La carga  $\delta q$  por diferencial de longitud de canal es:  $\delta q = C_{ox} \cdot W \cdot \delta y \cdot (V_G - V_T)$

Si los portadores minoritarios atraviesa esta zona en un tiempo, realizando varias transformaciones matemáticas llegamos a la siguiente conclusión:

$$I_D = \mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right) \cdot \int_{V_s}^{V_D} (V_G - V_T) \cdot dV = \beta \cdot \int_{V_s}^{V_D} (V_G - V_T) \cdot dV$$

Para calcular la integral  $\int (V_G - V_T) \cdot dV$  es necesario conocer como varía  $V_T$  en función de la tensión en cada punto del canal,  $V$ :

- Cuando  $V_D=V_S=0$ ,  $V_T$  viene dada por la expresión calculada anteriormente.
- Si se aplica una diferencia de potencial entre drenador y fuente, la tensión en un punto de la superficie semiconductor-óxido en la zona del canal, que antes valía  $2 \cdot \psi_B$ , se ve aumentada en un valor  $V$  que depende de la distancia de dicho punto al drenador y la fuente.

Tomando las anteriores consideraciones podemos concluir con la siguiente ecuación:

$$I_D = \beta \cdot \int_{V_s}^{V_D} \left[ V_G - \left( V_{FB} + 2 \cdot \psi_B + V + \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_S \cdot q N_A} \cdot \sqrt{2 \cdot \psi_B + V} \right) \right] \cdot dV$$



## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

El valor de la integral puede interpretarse gráficamente. En la figura 7 observamos unos ejes en los que el eje horizontal representa la tensión  $V(x)$  en un punto de la superficie semiconductor-óxido en la zona del canal situado a una distancia  $x$  del drenador. Para cada uno de estos puntos la curva  $V_T$  da el valor de la tensión umbral según la expresión que acabamos de calcular, y que aparece entre paréntesis en la integral de  $I_D$ . Por otro lado,  $V_G$  es constante en todos los puntos del canal y por ello aparece como una recta horizontal en la gráfica. La integral  $\int (V_G - V_T) \cdot dV$  viene dada por el área rayada de la figura 7, y, por tanto, la intensidad de drenador no es sino el producto de esta área por  $\beta$ .

[ver figura >> 07](#)

Evidentemente la dificultad radica en conocer exactamente la dependencia de  $V_T$  con  $V$ ; esto es, la forma de la curva  $V_T$ . A efectos prácticos (recuérdese que durante el diseño de un CI puede ser necesario analizar cientos o miles de transistores),  $V_T$  suele aproximarse a:

$$V_T \cong V_{FB} + 2\psi_B + \frac{1}{C_{ox}} \cdot \sqrt{2 \cdot \epsilon_0 \cdot \epsilon_s \cdot q \cdot N_A} \cdot \sqrt{2\psi_B} + V \equiv V_{T0} + V$$

La omisión de  $V$  en la raíz cuadrada se basa en la hipótesis de que la profundidad de la zona de deplexión permanece constante a lo largo de todo el canal a pesar de haber una  $V_{DS}$  aplicada. Admitiendo esta hipótesis,  $I_D$  se puede escribir como:

$$I_D = \beta \cdot \left[ (V_G - V_{T0}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Visto gráficamente, la curva de  $V_T(V)$  se ha aproximado por una recta de pendiente 1 (45°).

[ver figura >> 08](#)

El error introducido en el cálculo de  $I_D$  es proporcional al área sombreada de la figura 8. Dicho error puede minimizarse trazando para  $V_T$  una recta que se ajuste mejor a la curva original; sustituyendo  $V_{T0}$  por un nuevo valor empírico  $V_{T0}^*$ , y la pendiente 1 por una nueva pendiente también empírica de valor  $\lambda$ . El valor de  $\lambda$  suele estar entre 1,1 y 1,2. Así  $I$  queda:

$$I_D = \beta \cdot \left[ (V_G - V_{T0}^*) V_{DS} - \frac{\lambda}{2} V_{DS}^2 \right]$$

[ver figura >> 09](#)

La representación de la figura 9 es muy útil y se conoce como diagrama de Memelink.

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Saturación del transistor

La expresión de  $I_D$  que se acaba de obtener presenta un máximo para un cierto valor de la tensión drenador-fuente  $V_{DSAT}$ . Dicha corriente máxima recibe el nombre de corriente de saturación, y se caracteriza porque, aunque la tensión drenador-fuente aumente por encima del valor  $V_{DSAT}$ , la intensidad de drenador permanece prácticamente constante en su valor máximo. Se dice entonces que el transistor está en saturación.

$$V_{DSAT} = \frac{V_G - V_{T0}^*}{\lambda}$$

$$I_{DSAT} = \beta \cdot \frac{1}{2 \cdot \lambda} \cdot (V_G - V_{T0}^*)^2$$

Cualitativamente, cuando  $V_{DS}$  alcanza el valor de saturación ( $V_{DSAT}$ ), el punto del canal (superficie semiconductor-óxido) inmediatamente adyacente al drenador está a una tensión  $V$  muy cercana a  $V_{DSAT}$ . Sin tener en cuenta por el momento las correcciones introducidas por  $V_{T0}^*$  y  $\lambda$ ,

$$V \approx V_{DSAT} \approx V_G - V_T$$

[ver figura >> 10](#)

La diferencia de potencial entre puerta y canal en la sección definida por dicho punto es:

$$V_G - V = V_T$$

Es decir, justo la tensión necesaria para producir la inversión. Si  $V_{DS}$  sigue creciendo,  $V_{DS} > V_G - V_T$ , y la tensión en el punto en cuestión se hace menor que  $V_T$ , con lo cual no se produce la inversión. Está claro que en algún otro punto del canal (figura 11) la tensión  $V$  alcanzará el valor crítico  $V_G - V_T$  que asegura la inversión. Dicho punto recibe el nombre de punto de pinch-off o punto de estrangulamiento.

[ver figura >> 11](#)

Conforme  $V_{DS}$  aumenta el punto de pinch-off se desplaza hacia la izquierda, quedando el canal cada vez más corto.

[ver figura >> 12](#)

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

[El transistor MOS](#)

El inversor CMOS

# El transistor MOS

## Resumen: Zonas de funcionamiento el transistor-n

- Región de corte:

Para  $V_G \leq V_T$ , no se forma canal y el transistor no conduce :  $I_D = 0$

- Región lineal o región de conducción:

Para  $0 < V_{DS} < V_G - V_T$ ,  $I_D$  crece con  $V_{DS}$  :  $I_D = \beta [(V_G - V_T) * V_{DS} - V_{DS}^2 / 2]$

- Región de saturación:

Para  $0 < V_G - V_T < V_{DS}$ ,  $I_D$  se mantiene constante :  $I_D = (\beta / 2) * (V_{GS} - V_T)^2$

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

**El transistor MOS**

El inversor CMOS

# El transistor MOS

## El transistor PMOS

Intercambiando las zonas p y n se obtiene un transistor pMOS.

[ver figura >>13](#)

Al aplicar una tensión negativa a la puerta se induce una carga positiva en la región correspondiente al canal, formándose un zona de inversión en el semiconductor tipo n. De forma análoga al transistor nMOS, el canal tipo-p creado conecta el drenador y la fuente del transistor, permitiendo el paso de corriente si  $V_{DS} > 0$ . La corriente que se crea tiene su origen en el movimiento de los huecos, más lentos que los electrones, a diferencia del caso nMOS.

Conforme  $V_{DS}$  aumenta el punto de pinch-off se desplaza hacia la izquierda, quedando el canal cada vez más corto.

- El “modelo  $\lambda$ ” para la tensión umbral sigue siendo válido, con lo que  $V_T$  puede aproximarse por:

$$V_T = V_{T0}^* + \lambda V$$

teniendo en cuenta que ahora  $V_{T0}^*$  es negativo.

- El cálculo de  $I_D$  se realiza igual que en el transistor-n, sustituyendo la movilidad de los electrones ( $\mu_n$ ) por la de los huecos ( $\mu_p$ ), ya que son éstos los causantes de la corriente. La movilidad de los huecos es menor que la movilidad de los electrones; por esta razón, a igualdad del resto de los factores (tensión  $V_{DS}$ , tamaño de los transistores, etc.), la corriente de drenador en un transistor-p es menor que la de un transistor-n. El valor de  $I_D$  queda:

$$I_D = \mu_p \cdot C_{ox} \cdot \left( \frac{W}{L} \right) \cdot \int_{V_s}^{V_p} (V_G - V_T) \cdot dV = \beta_p \cdot \int_{V_s}^{V_p} (V_G - V_T) \cdot dV$$

- En el diagrama de Memelink habrá que tener en cuenta que  $V_{T0}^* < 0$  y  $V_G < 0$ .

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

El transistor MOS

El inversor CMOS

# El inversor CMOS

## El inversor CMOS

El inversor CMOS consta de dos transistores, uno canal p y otro canal n, conectados como muestra la figura 14.

Cuando la tensión de entrada,  $V_{in}$ , es 0, el transistor p conduce y el transistor n está en corte; con lo que se produce el paso de corriente desde el nodo conectado a  $V_{DD}$  (drenador del transistor p) hacia el nodo de salida, que a su vez provoca que la tensión de éste suba hasta alcanzar un valor cercano a  $V_{DD}$ . Dicho valor se identifica con un 1 lógico. Por el contrario, cuando  $V_{in}=V_{DD}$ , el transistor p se halla en corte y el n conduce, con lo que la corriente fluye ahora de  $V_{out}$  a tierra (0 lógico).

[ver figura >>14](#)

### Tiempos de respuesta del inversor CMOS

Las dimensiones  $W$ ,  $L$  de los transistores p y n, así como el valor de la capacidad del nodo de salida determinan los tiempos de subida y bajada del inversor.

### Tiempo de bajada

Se define el tiempo de bajada como el tiempo necesario para que, cuando  $V_{in}=V_{DD}$  (1 lógico), la capacidad de salida pase del valor  $0,9.V_{DD}$  a  $0,1.V_{DD}$  (figura 15).

[ver figura >>15](#)

Analizando el Memelink del transistor n (figura 16) vemos que éste pasa por:

[ver figura >>16](#)

- Su zona de saturación, mientras la tensión  $V_{out}$  se mantiene entre  $0,9.V_{DD}$  y  $V_{DSAT}$ .
- Su zona de conducción, mientras  $V_{out}$  está entre  $V_{DSAT}$  y  $0,1.V_{DD}$ .

### Zona de saturación: Estudio analítico

$$I_C = \frac{dQ}{dt}; \quad Q = C.V \Rightarrow I_C = C \cdot \frac{dQ}{dt}$$

$$I_{DSAT} = \frac{\beta_n}{2 \cdot \lambda} \cdot (V_{DD} - V_{T0})^2$$

$$C \cdot \frac{dV}{dt} = \frac{\beta_n}{2 \cdot \lambda} \cdot (V_{DD} - V_{T0})^2$$

[ver figura >> 17](#)

## El inversor CMOS

### Capítulo 1 : Conceptos Básicos

Raúl Aragonés

#### Capítulos



Introducción

El transistor MOS

El inversor CMOS

Si llamamos  $t_1$  al tiempo que tarda  $V$  en alcanzar el valor  $V_{DSAT}$ :

$$C \cdot \int_{V_{DSAT}}^{0,9 \cdot V_{DD}} dV = \frac{\beta_n}{2 \cdot \lambda} \cdot (V_{DD} - V_{T0})^2 \cdot \int_0^{t_1} dt$$

Tomando los valores aproximados de  $\lambda=1$  y  $V_{T0}^*=V_{T0}$ ,

$$t_1 = \frac{2 \cdot C \cdot (V_{T0} - 0,1 \cdot V_{DD})}{\beta_n \cdot (V_{DD} - V_{T0})^2}$$

Zona de conducción: Estudio analítico

ver figura >>18

$$I_D = \beta_n \cdot \left[ (V_G - V_{T0}^*) \cdot (V_D - V_S) - \frac{\lambda}{2} \cdot (V_D - V_S)^2 \right]$$

$$I = \beta_n \cdot \left[ (V_{DD} - V_{T0}^*) \cdot V - \frac{\lambda}{2} \cdot V^2 \right]$$

$$I_C = \frac{dQ}{dt} = C \cdot \frac{dV}{dt}$$

Haciendo ciertas aproximaciones, sustituyendo varias ecuaciones y tomando de nuevo  $\lambda=1$ ,  $V_{DSAT}=V_{DD}-V_{T0}$ , se llega a:

$$t_2 = \frac{C}{\beta_n \cdot (V_{DD} - V_{T0})} \cdot \ln \left[ 18 - 20 \cdot \frac{V_{T0}}{V_{DD}} \right]$$

## El inversor CMOS

### Capítulo 1 : Conceptos Básicos

Raúl Aragonés

#### Capítulos

1	2	3	4	5	6	7
8	9	10	11	12	13	14

Introducción

El transistor MOS

El inversor CMOS

El tiempo de bajada será la suma de  $t_1$  y  $t_2$

$$t_{bajada} = t_1 + t_2 = \frac{2 \cdot C \cdot (V_{T0} - 0,1 \cdot V_{DD})}{\beta \cdot (V_{DD} - V_{T0})^2} + \frac{C}{\beta \cdot (V_{DD} - V_{T0})} \cdot \ln \left[ 18 - 20 \cdot \frac{V_{T0}}{V_{DD}} \right]$$

$$t_{bajada} = \frac{C}{\beta \cdot (V_{DD} - V_{T0})} \cdot \left[ \frac{2 \cdot (V_{T0} - 0,1 \cdot V_{DD})}{(V_{DD} - V_{T0})} + \ln \left( 18 - 20 \cdot \frac{V_{T0}}{V_{DD}} \right) \right]$$

Para una tensión de alimentación y una tensión umbral dadas, el tiempo de bajada es directamente proporcional a la capacidad del nodo de salida, e inversamente proporcional al factor de forma  $W_n/L_n$  del transistor n. El tiempo de bajada del inversor puede controlarse modificando las dimensiones del transistor n: Anchuras ( $W_n$ ) mayores y/o longitudes ( $L_n$ ) menores llevan a tiempos de bajada más reducidos.

Se suele definir una constante  **$K_{bajada}$** , que engloba los términos fijos de la expresión anterior, de forma que el tiempo  $t_{bajada}$  se suele expresar como:

$$t_{bajada} = K_{bajada} \cdot \frac{C}{W_n / L_n}$$

#### Tiempo de subida

Se define el tiempo de subida como el tiempo necesario para que, cuando  $V_{in}=0$ , la capacidad de salida pase del valor  $0,1 \cdot V_{DD}$  a  $0,9 \cdot V_{DD}$  (figura 19).

Analizando el Memelink del transistor p (figura 20) vemos que éste pasa por:

[ver figura >>19](#)

- Su zona de saturación, mientras la tensión  $V_{out}$  se mantiene entre  $0,1 \cdot V_{DD}$  y  $V_{DSAT}$ .
- Su zona de conducción, mientras  $V_{out}$  está entre  $V_{DSAT}$  y  $0,9 \cdot V_{DD}$ .

[ver figura >>20](#)

## El inversor CMOS

### Capítulo 1 : Conceptos Básicos

Raúl Aragonés

#### Capítulos



Introducción

El transistor MOS

El inversor CMOS

El cálculo de  $t_{subida}$  es similar a la realizada para calcular la  $t_{bajada}$ , salvo que ahora se trabaja con el transistor p, y por tanto habrá que sustituir la  $\beta_n$  por la  $\beta_p$ .

$$t_{subida} = K_{subida} \cdot \frac{C}{\frac{W_p}{L_p}}$$

Los valores de la  $K_{subida}$  y  $K_{bajada}$  no son iguales debido a que incluyen implícitamente la movilidad de los electrones (en la  $\beta_n$ ) y de los huecos (en  $\beta_p$ ). Si se desean formas de onda simétricas, esto es, con los mismos tiempos de subida y bajada.

$$K_{bajada} \cdot \left(\frac{W}{L}\right)_n = K_{subida} \cdot \left(\frac{W}{L}\right)_p$$

$$\left(\frac{W}{L}\right)_p = \frac{K_{subida}}{K_{bajada}} \approx (\text{entre } 2 \text{ y } 3)$$

#### Curva de transferencia del inversor CMOS

[ver figura >>21](#)

La figura 21 muestra el funcionamiento del inversor CMOS visto sobre el diagrama de Memelink

Las rectas correspondientes a los transistores n y p se trazan tomando como origen de coordenadas los puntos (0,0) y  $(V_{DD}, V_{DD})$  respectivamente. En condiciones estáticas, las corrientes que atraviesan los transistores p y n deben ser iguales; por tanto, para una  $V_{in}$  de entrada,  $V_{out}$  tomará un valor que haga que las áreas (convenientemente multiplicadas por el factor de forma de los dos transistores) sean iguales.

- Cuando un transistor está en conducción, el otro está en saturación.
- Cuando  $V_{in} = V_{DD}/2$ ,  $V_{out}$  puede tomar cualquier valor entre  $(V_{in} - V_{TP})/\lambda$  y  $(V_{in} - V_{TN})/\lambda$ .



## El inversor CMOS

### Capítulo 1 : Conceptos Básicos

Raúl Aragonés

#### Capítulos



Introducción

El transistor MOS

El inversor CMOS

La figura 22, muestra la función de transferencia del inversor CMOS.

[ver figura >>22](#)

La figura 23, muestra la curva de transferencia del inversor. El 1 y el 0 lógicos se hacen corresponder a los valores analógicos  $V_{DD}$  y 0 volts.

[ver figura >>23](#)

#### Márgenes de ruido

En la figura 23 se puede ver que la curva de transferencia es muy abrupta, de forma que cualquier desviación razonablemente pequeña de la tensión de entrada respecto a  $V_{DD}$  (1 lógico) sigue generando una salida cercana a 0 volts (0 lógico) y viceversa. Esta inmunidad al ruido es una de las características del inversor CMOS que proporciona grandes ventajas respecto a las puertas bipolares.

Se define el margen de ruido de un inversor CMOS como la diferencia entre la tensión de salida y los límites de tensión de entrada que se entienden como 0 o como 1. Más concretamente, se define el **margen de ruido a baja** (NML: Noise Margin Low) como la diferencia en magnitud entre la tensión de salida a 0 lógico, y la máxima tensión de entrada que provocaría una salida igual a un 1 lógico (esto es, la máxima tensión de entrada que la puerta entiende como un 0 lógico). De manera análoga se define el **margen de ruido a alta** (NMH).

[ver figura >>24](#)

#### Consumo de potencia

En condiciones estáticas, esto es, cuando la tensión de salida se ha estabilizado a los valores de 0 o 1 lógico, el inversor CMOS no consume apenas potencia (salvo la debida a corrientes de fugas) por cuanto no hay paso de corriente a través de los transistores. El consumo estático viene dado por:

$$P_{estática} = \sum_1^n I_{leakage} \cdot V_{DD}; \quad n : \text{número de dispositivos}$$

Una estimación útil de la corriente de fugas es suponer que varía entre 0,1nA y 0,5nA por puerta a temperatura ambiente.

## Capítulo 1 : Conceptos Básicos

Raúl Aragonés

### Capítulos



Introducción

El transistor MOS

El inversor CMOS

## El inversor CMOS

Cuando hay paso de corriente, y por tanto un consumo significativo, es durante el transitorio, mientras  $V_{in}$  pasa de 0 a 1 y viceversa. El consumo dinámico se modela fácilmente si se supone que los tiempos de subida y bajada son pequeños respecto al periodo de la señal. En la figura 25 puede verse cuándo suceden estos consumos, al aplicar una señal cuadrada y periódica por  $V_{in}$ .

[ver figura >>25](#)

$$P_{dinámico} = \frac{1}{t_p} \cdot \int_0^{t_p/2} i_n(t) \cdot V_{out} \cdot dt + \frac{1}{t_p} \cdot \int_{t_n}^{t_p} i_p(t) \cdot (V_{DD} - V_{out}) \cdot dt$$

Donde  $i_n(t)$  e  $i_p(t)$  representan las corrientes que pasan por los transistores n y p respectivamente.

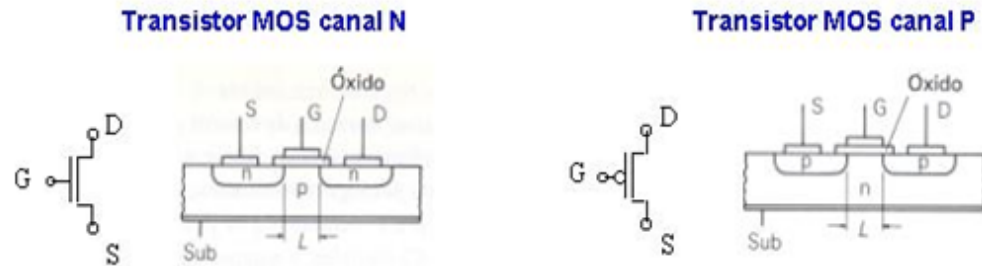
Haciendo varias transformaciones llegamos a la siguiente ecuación final.

$$P_{dinámica} = \frac{C_L}{t_p} \cdot \left\{ \int_0^{V_{DD}} V_{out} \cdot dV_{out} + \int_{V_{DD}}^0 (V_{DD} - V_{out}) \cdot d(V_{DD} - V_{out}) \right\}$$

$$P_{dinámica} = C_L \cdot V_{DD}^2 \cdot f_p$$

# Fin del capítulo 1

Figura 1



Zona lineal :  $0 < V_{ds} < \frac{V_c - V_{r0}'}{\lambda}$

$$I_D = \beta \cdot \left[ (V_c - V_{r0}') \cdot V_{ds} + \frac{\lambda}{2} \cdot V_{ds}^2 \right]$$

Zona saturación :  $V_{ds} \geq \frac{V_c - V_{r0}'}{\lambda}$

$$I_D = I_{dsat} = \frac{\beta}{2} \cdot (V_c - V_{r0}')^2$$

$$\beta = \mu_{(n \text{ o } p)} \cdot C_{ox} \cdot \frac{W}{L}; \quad \frac{W}{L} \equiv \text{factor de forma}$$

$$V_r \approx V_{r0}' + \lambda \cdot V \quad \text{aproximación lineal}$$

Figura 2

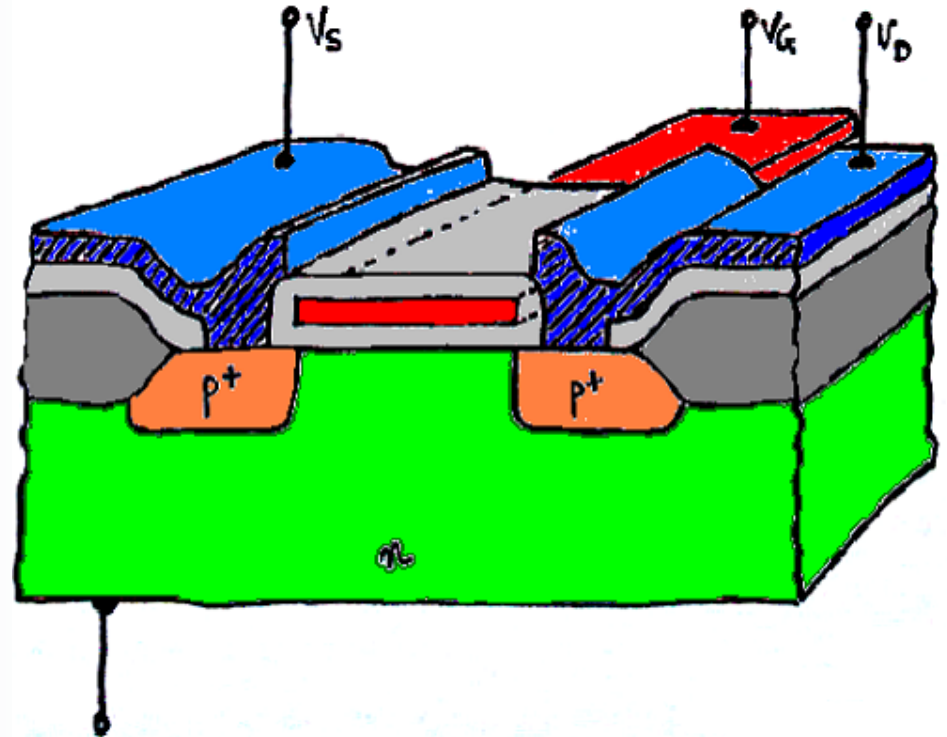


Figura 3

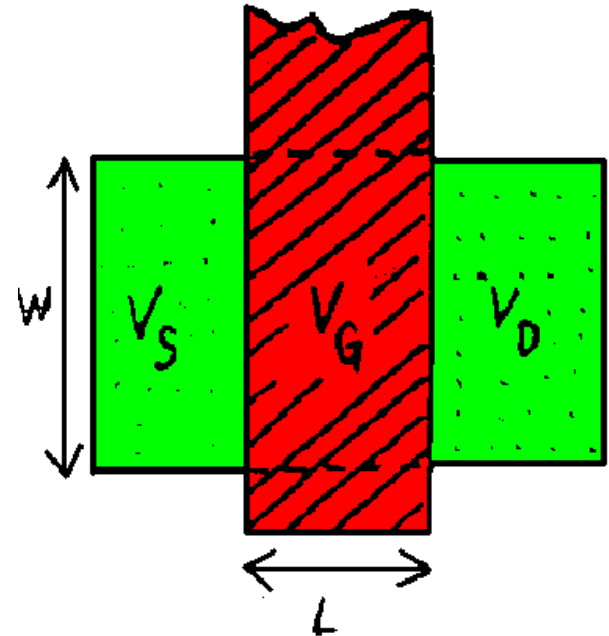


Figura 4

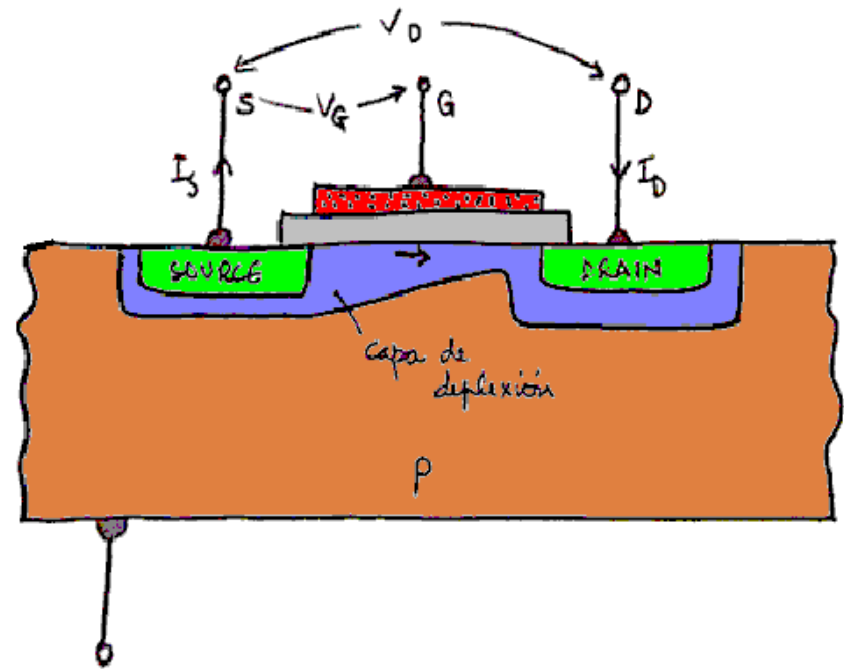


Figura 5

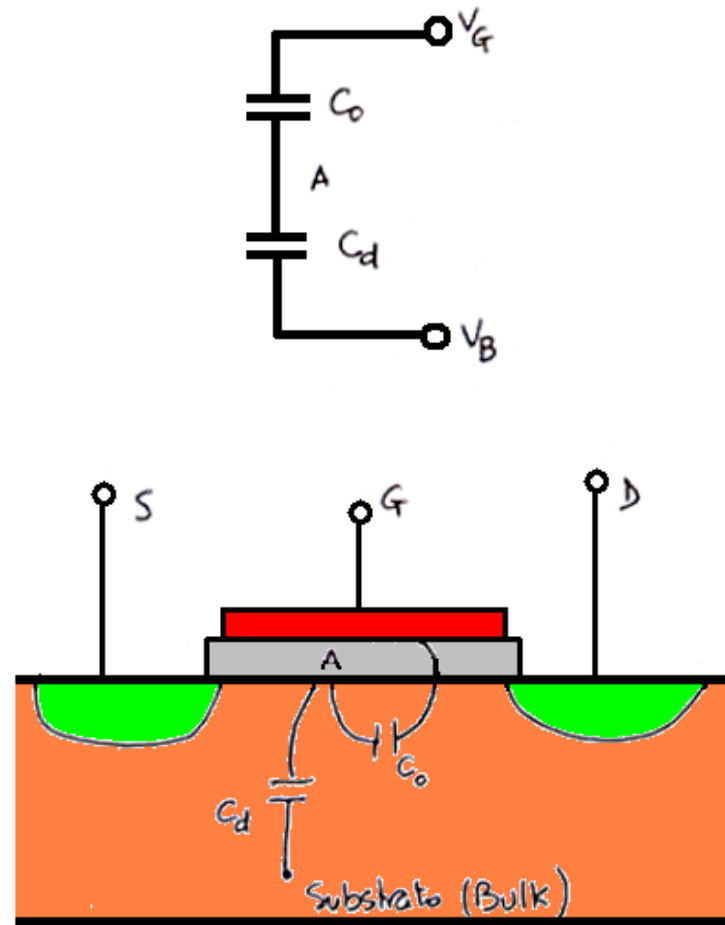


Figura 6

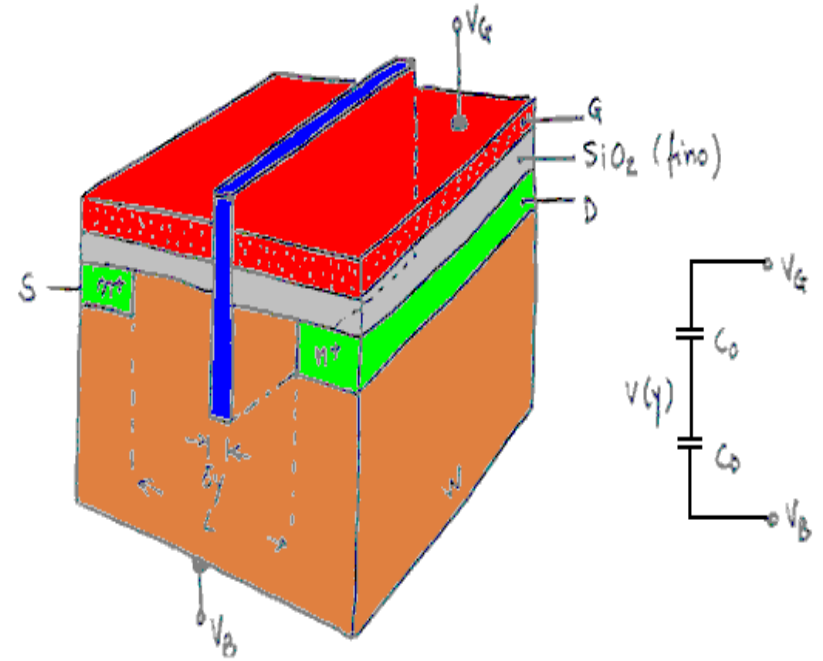




Figura 7

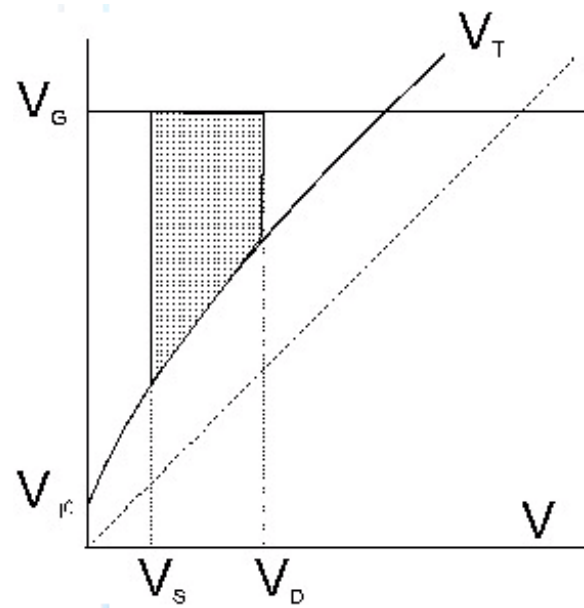


Figura 8

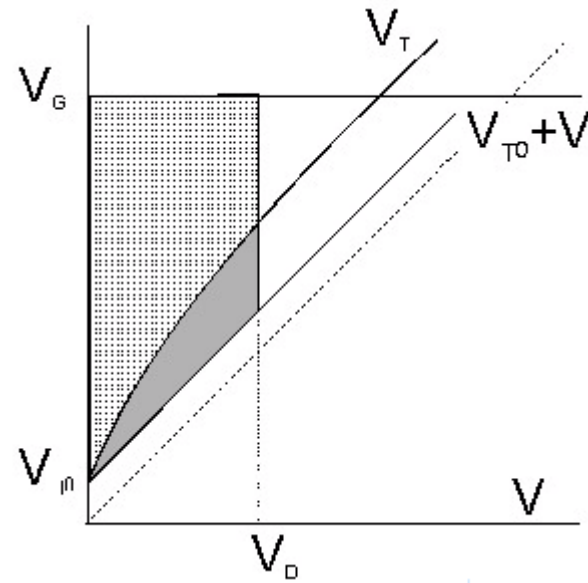


Figura 9

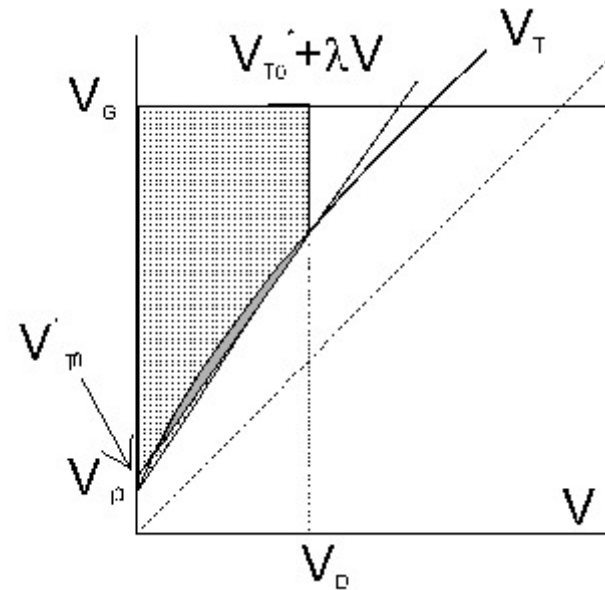


Figura 10

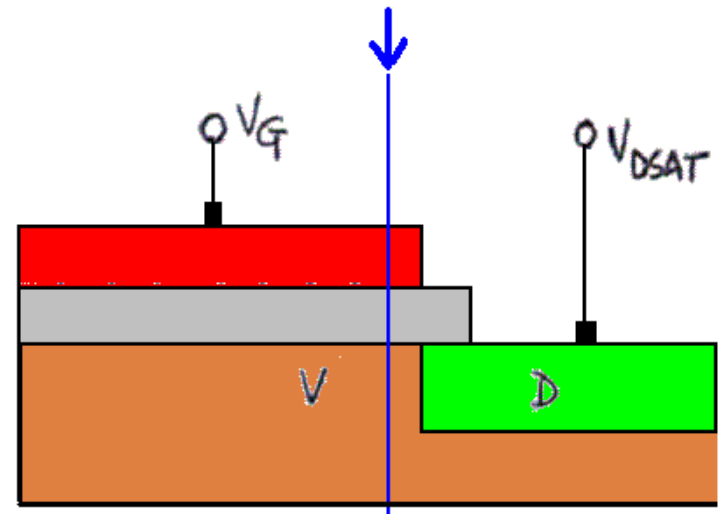


Figura 11

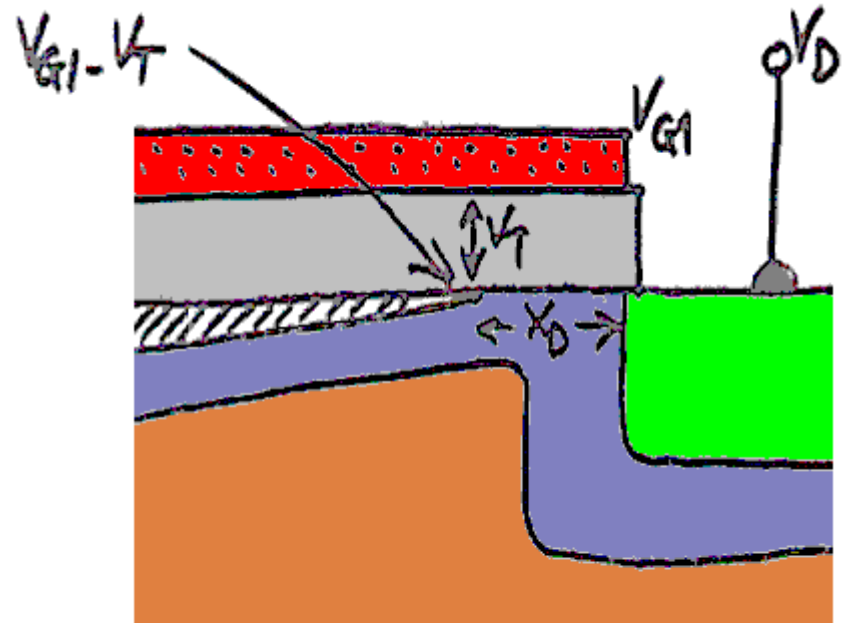


Figura 12

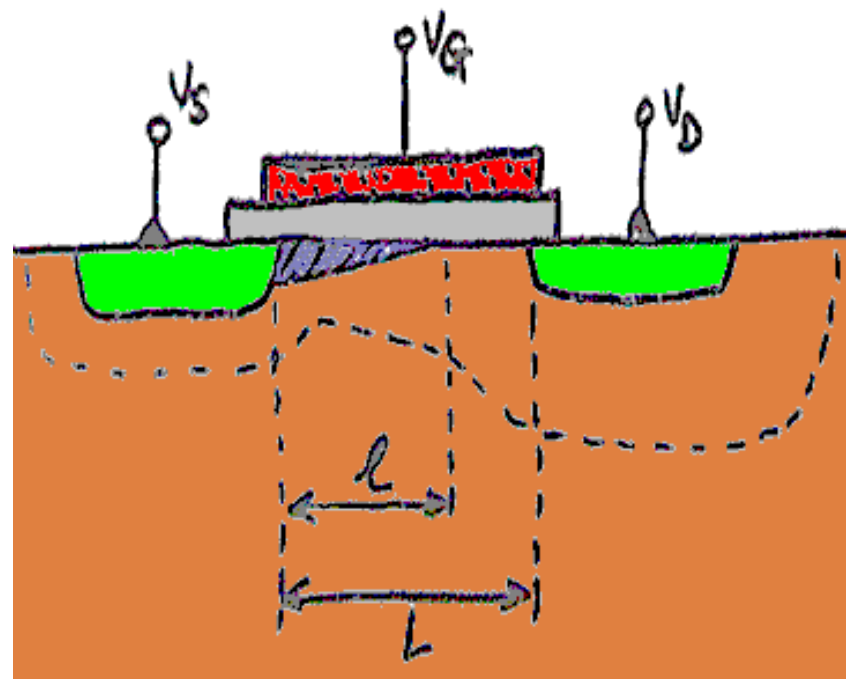


Figura 13

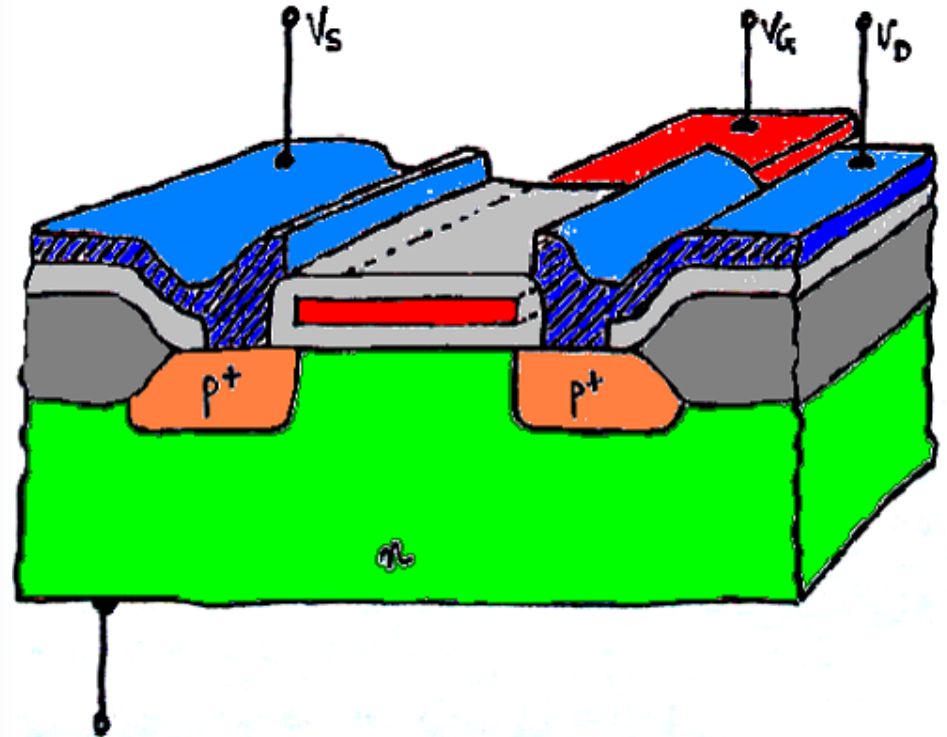


Figura 14

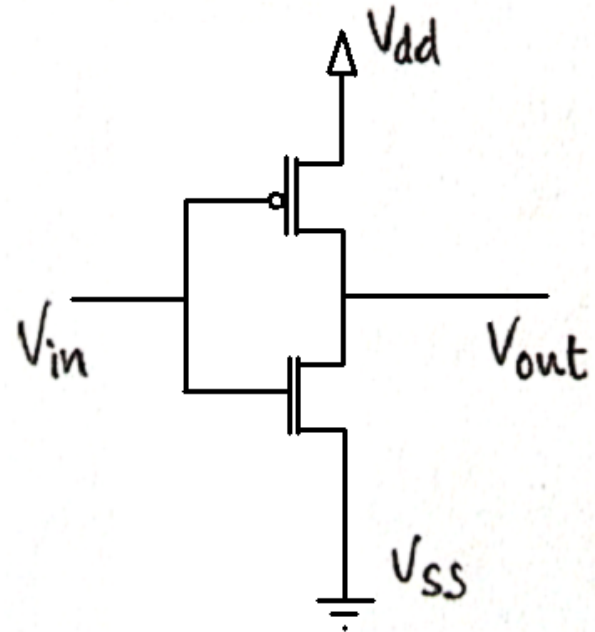




Figura 15

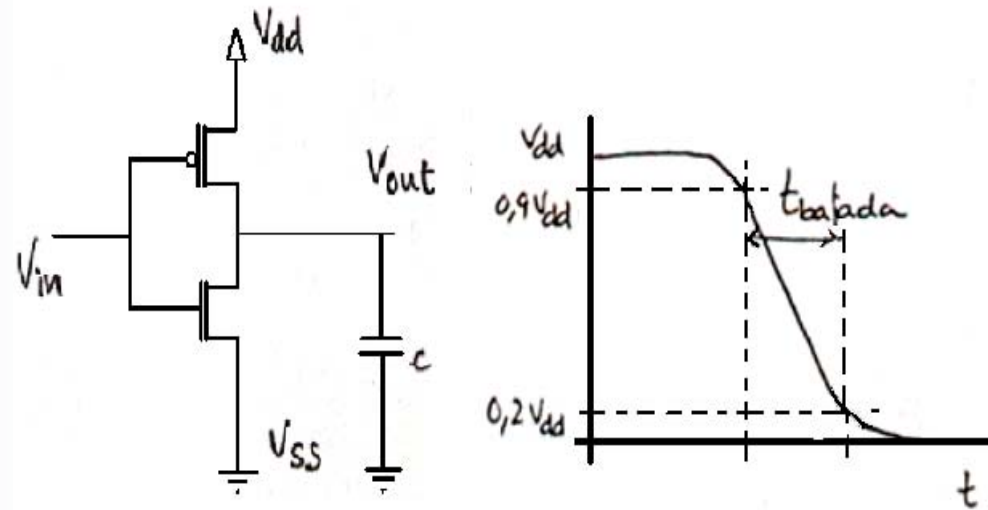


Figura 16

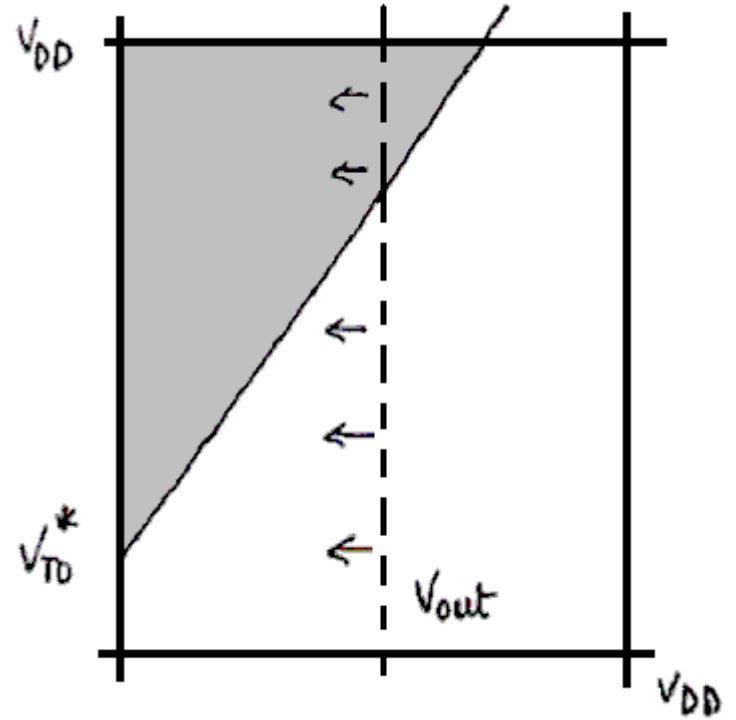


Figura 17

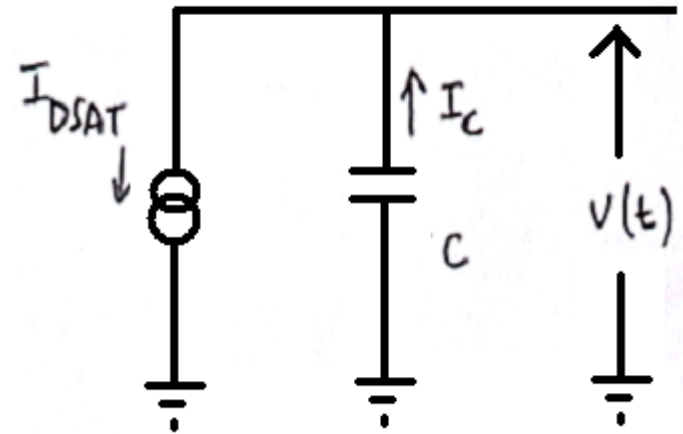


Figura 18

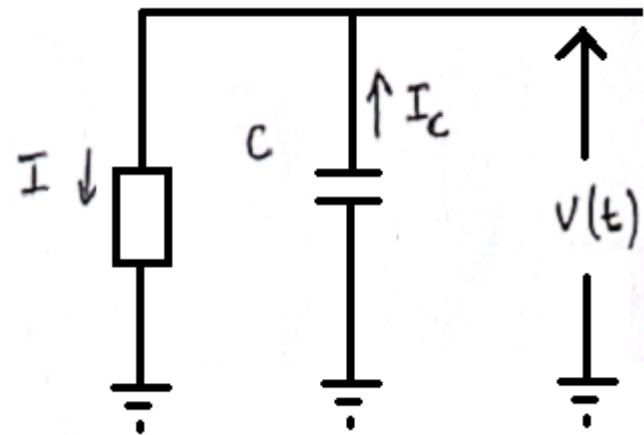


Figura 19

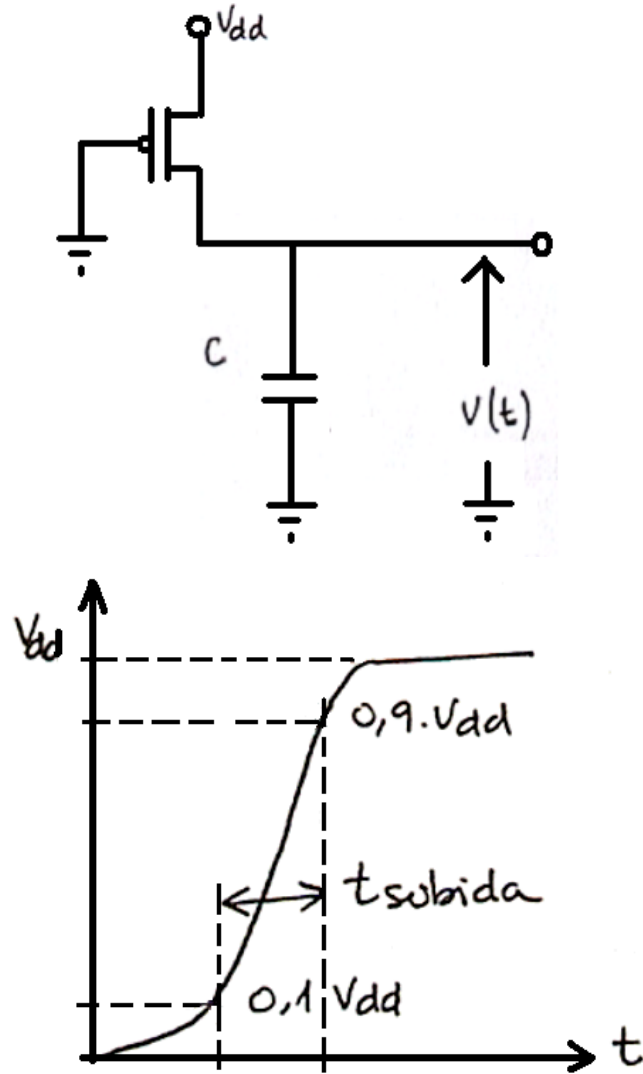


Figura 20

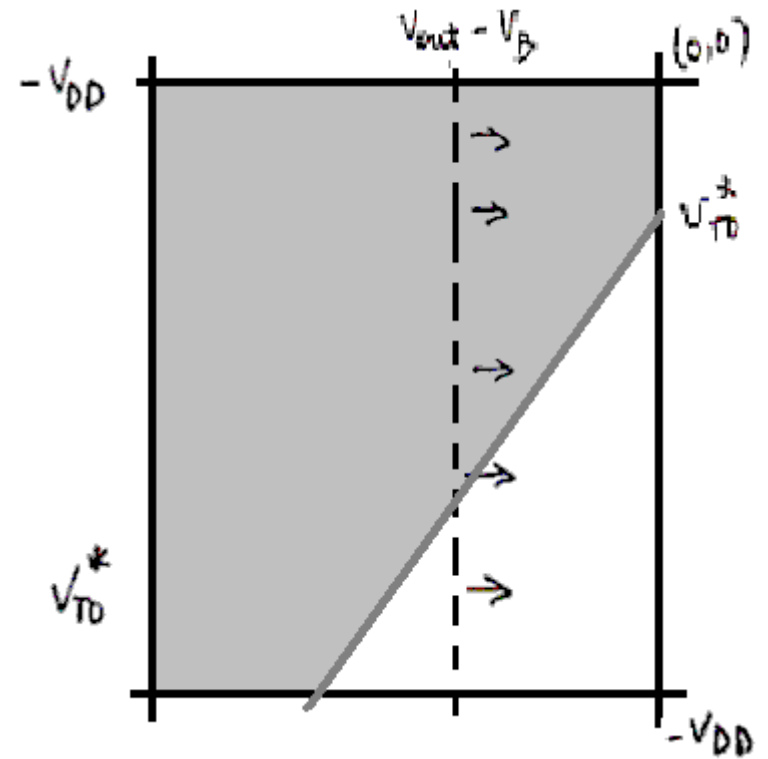


Figura 21

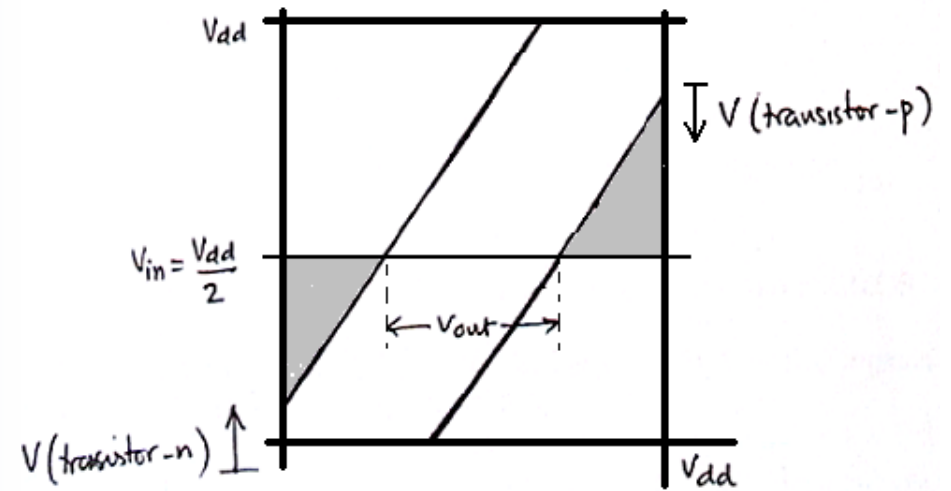


Figura 22

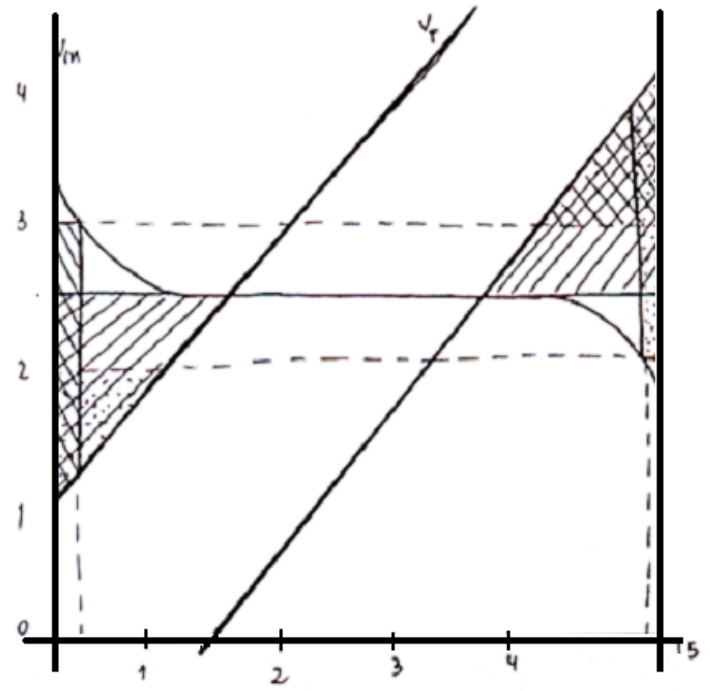




Figura 23

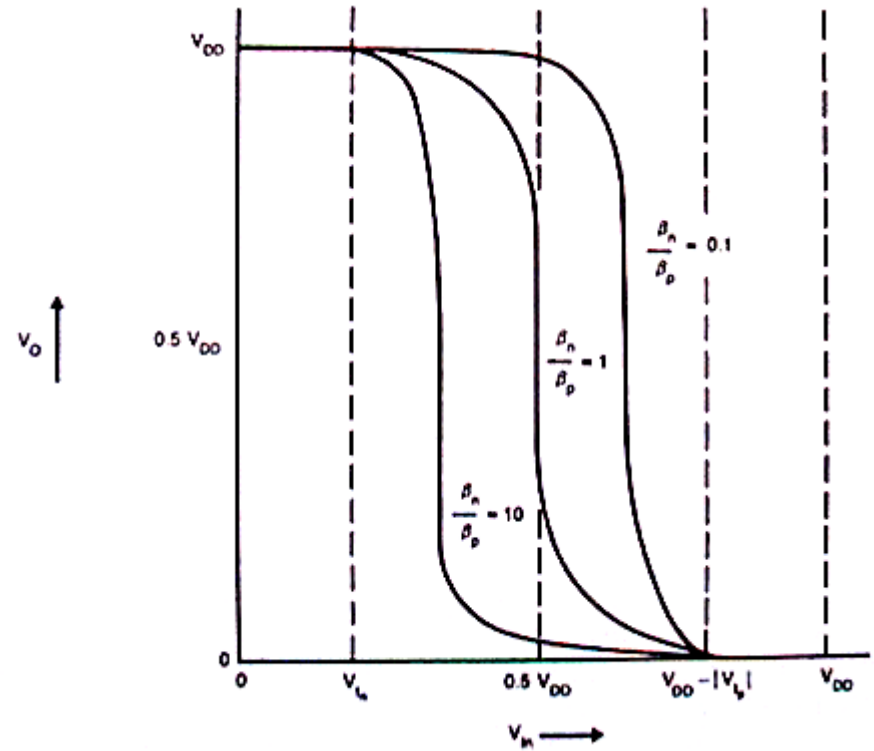


Figura 24

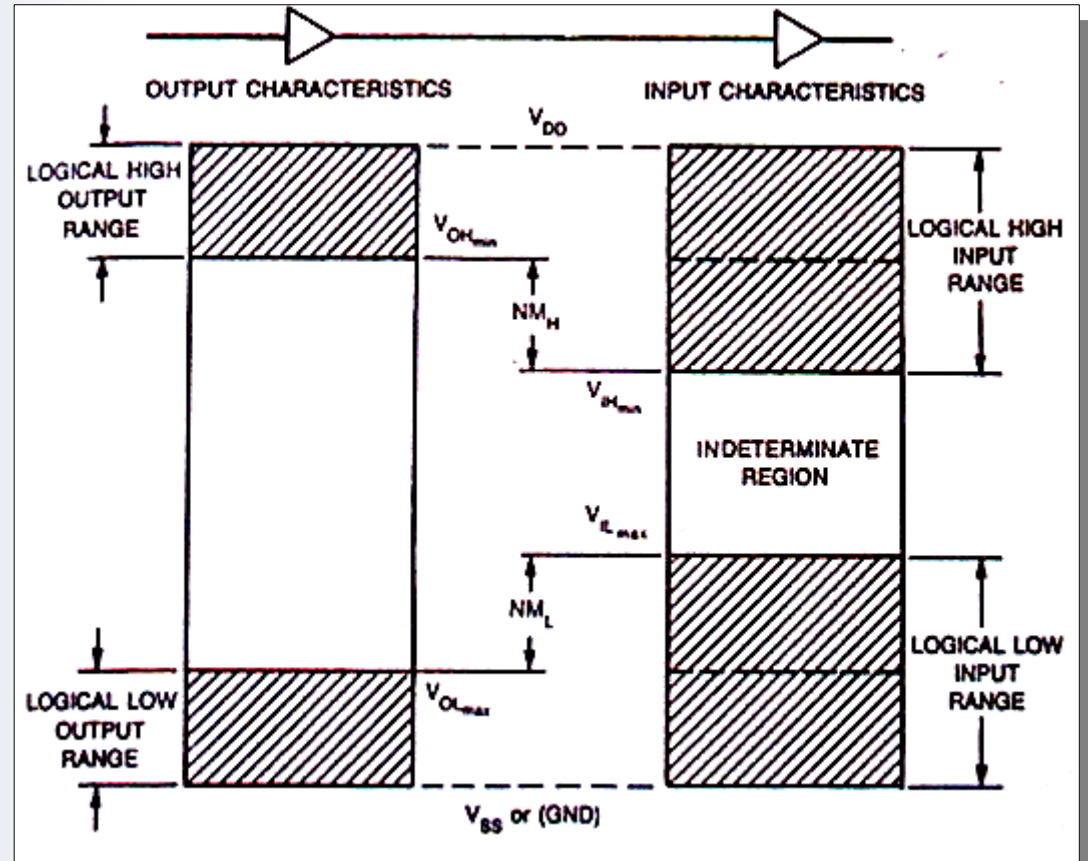
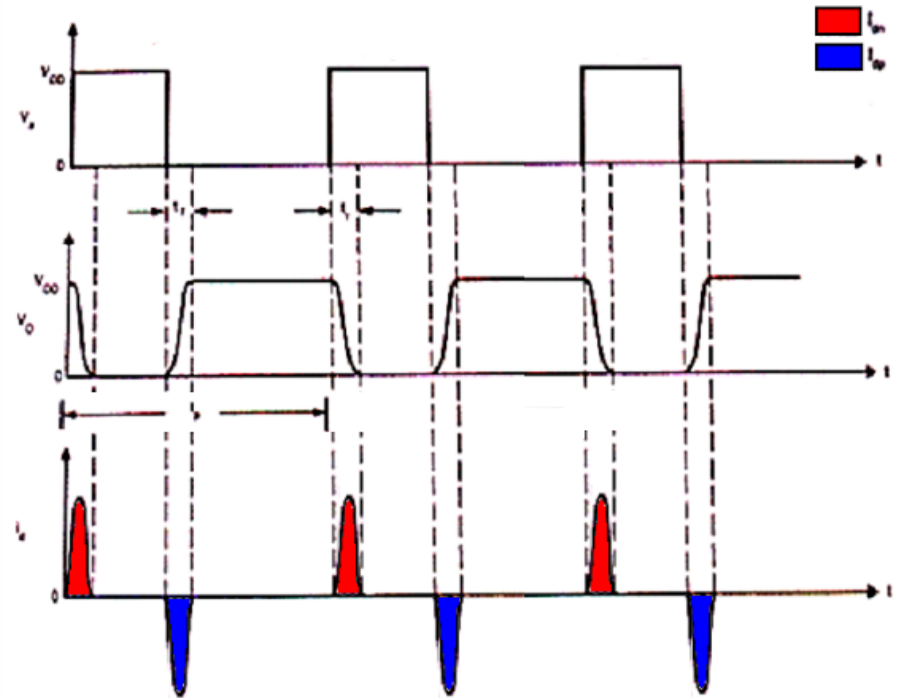


Figura 25



Fin del capítulo 1